

**INVERSOR MULTINIVEL PARA EL LABORATORIO DE MAQUINAS
ELÉCTRICAS DE LA UNIVERSIDAD DE PAMPLONA, SEDE VILLA DEL
ROSARIO.**

JESUS ENRIQUE SALAMANCA JAIMES

**PROGRAMA DE INGENIERIA ELECTRÓNICA
DEPARTAMENTO DE INGENIERIA ELÉCTRICA, ELECTRÓNICA, SISTEMAS Y
TELECOMUNICACIONES
FACULTAD DE INGENIERIAS Y ARQUITECTURAS**

UNIVERSIDAD DE PAMPLONA

PAMPLONA, 15 de Junio de 2018

**INVERSOR MULTINIVEL PARA EL LABORATORIO DE MAQUINAS
ELÉCTRICAS DE LA UNIVERSIDAD DE PAMPLONA, SEDE VILLA DEL
ROSARIO.**

JESUS ENRIQUE SALAMANCA JAIMES

**Trabajo de grado presentado como requisito para optar al título de
INGENIERO ELECTRÓNICO**

**Director: MsC (c) Julio César Ospino Arias
INGENIERO ELECTRÓNICO
jcorosw@gmail.com**

**PROGRAMA DE INGENIERIA ELECTRÓNICA
DEPARTAMENTO DE INGENIERIA ELÉCTRICA, ELECTRÓNICA, SISTEMAS Y
TELECOMUNICACIONES
FACULTAD DE INGENIERIAS Y ARQUITECTURAS
UNIVERSIDAD DE PAMPLONA
PAMPLONA, 15 de Junio de 2018**

**TRABAJO DE GRADO PARA OPTAR POR EL TÍTULO DE INGENIERO
ELECTRÓNICO.**

TÍTULO:

**INVERSOR MULTINIVEL PARA EL LABORATORIO DE MAQUINAS
ELÉCTRICAS DE LA UNIVERSIDAD DE PAMPLONA, SEDE VILLA DEL
ROSARIO**

NOMBRES Y FIRMAS DE AUTORIZACIÓN PARA LA SUSTENTACIÓN.

**JESUS ENRIQUE SALAMANCA JAIMES
AUTOR**

**MsC (c) JULIO CÉSAR OSPINO ARIAS
DIRECTOR**

JURADO CALIFICADOR

MsC ANDRES O. PAEZ MELO

MsC CARLOS A. VIDES HERRERA

**UNIVERSIDAD DE PAMPLONA
FACULTAD DE INGENIERÍAS Y ARQUITECTURA,
DEPARTAMENTO DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA, SISTEMAS
Y TELECOMUNICACIONES
PROGRAMA DE INGENIERÍA ELECTRÓNICA
PAMPLONA, COLOMBIA
2018**

Dedicatoria

A mi padre celestial, mi preciosa esposa y mi Sofí hermosa

AGRADECIMIENTOS

Agradezco principalmente a Dios quien ha sido mi sostén para desarrollar este proyecto de grado; por brindarme la sabiduría necesaria para resolver todos los retos que conllevaron la solución de cada problema.

Agradezco a mi esposa Julieth por acompañarme, tolerarme y apoyarme, por mi Sofía, quienes son mi motivación para ser cada día mejor.

Agradezco a mis padres Luis Eduardo y Nayive, por su perseverancia e instrucción para forjar la persona que soy, por su apoyo espiritual, moral, emocional, económico y por impregnar en mí valores y actitudes que han desarrollado mi carácter.

Agradezco a la universidad de Pamplona por ser responsable de mi formación, brindando todos los recursos disponibles; a los ingenieros Julio cesar Ospino arias, Jaime González Castellanos y Martin Gallo, por su ayuda e instrucción en las diferentes pruebas que se presentaron en la ejecución de este proyecto; así mismo a todos los profesores que intervinieron directa e indirectamente en mi formación como estudiante de esta honorable institución.

TABLA DE CONTENIDO

1. INTRODUCCION	14
2. JUSTIFICACION	15
3. OBJETIVOS	16
3.1 Objetivo General.....	16
3.2 Objetivos específicos	16
3.3 Acotaciones	16
4. MARCO TEORICO.....	17
4.1 Calidad de la energía Eléctrica	17
4.1.1 Valores de referencia de parámetros asociados a calidad de la potencia 19	
4.1.1.1 Variaciones de tensión en el estado estable	19
4.1.1.2 Desbalance de tensión	20
4.1.1.3 Flicker	20
4.1.1.4 Armónicos.....	21
4.1.1.5 Muestras	22
4.1.1.6 Variaciones de frecuencia	23
4.1.2 Efectos de disturbios electromagnéticos en la tensión de alimentación 25	
4.2 Generalidades de la electrónica de potencia	26
4.2.1 Convertidores de potencia	27
4.3 Inversores	28
4.3.1 Clasificación de los inversores	29

4.3.2	Inversor monofásico en puente	30
4.3.3	Inversores trifásicos	31
5.	INVERSORES MULTINIVEL.....	32
5.1	Topologías multinivel	34
5.2	Inversor Acoplado por Diodo	35
5.3	Inversor Acoplado por Condensador	37
5.4	Inversor Multietapa con Puentes H e Inversores en Cascada	38
5.5	Selección de la topología a implementar	42
6.	DISEÑO DEL INVERSOR MULTINIVEL.....	45
6.1	Parámetros de diseño.....	45
6.2	Simulación del circuito de potencia y selección del número de etapas del inversor.....	46
6.3	Etapa de potencia.....	52
6.3.1	Transformadores de salida.....	52
6.3.2	Dispositivos de control de potencia.....	55
6.4	Etapa de acondicionamiento.....	58
6.4.1	Dispositivos drivers para el puente H	58
6.4.2	Circuito de aislamiento galvánico	61
6.4.3	Fuentes de alimentación para la etapa de acondicionamiento.....	62
6.5	Circuito de acondicionamiento y potencia.....	63
6.6	Cálculos térmicos	64
6.6.1	Modelo eléctrico del conjunto dispositivo – disipador.....	65
6.6.2	Cálculos térmicos MOSFET IRF540N.....	67
7.	CONTROL DE ACTIVACION DE LOS DISPOSITIVOS INTERRUPTORES ..	68

7.1	Dispositivo controlador.....	68
7.2	Tiempo muerto.....	69
7.3	Programación de la secuencia de activación.....	72
7.4	Algoritmo de programación.....	76
8.	DISEÑO Y CONSTRUCCIÓN DE CIRCUITOS IMPRESOS PARA INVERSOR MULTINIVEL.....	78
8.1	Listado de componentes.....	78
8.2	Diseño de los circuitos impresos	79
8.2.1	Fuente de alimentación de potencia.....	79
8.2.2	Fuente de alimentación circuito de acondicionamiento	80
8.2.3	Circuito de acondicionamiento y potencia	81
8.3	Construcción de PCB's para el inversor multinivel	82
8.3.1	Fuente de alimentación de potencia.....	82
8.3.2	Fuente de alimentación circuito de acondicionamiento	84
8.3.3	Circuito de acondicionamiento y potencia	85
9.	VALIDACIÓN DE RESULTADOS	87
10.	CONCLUSIONES	92
11.	RECOMENDACIONES Y TRABAJOS FUTUROS.....	94
12.	REFERENCIAS BIBLIOGRÁFICAS.....	95
	ANEXO A.....	99

LISTA DE TABLAS

Tabla 1 porcentajes máximos de desbalance de tensión	20
Tabla 2 Valores de referencia del Plt	20
Tabla 3 límites de distorsión de tensión.....	22
Tabla 4 Límites de distorsión para muescas de tensión.....	23
Tabla 5 Valores de referencia de variaciones de frecuencia	24
Tabla 6 definiciones de disturbios en la calidad de la potencia	24
Tabla 7 Secuencia de encendido para inversor acoplado por diodo de tres niveles	35
Tabla 8 Secuencia para el inversor acoplado por condensador de 3 niveles	38
Tabla 9 Secuencia de encendido para puente H de la figura 16.....	39
Tabla 10 Secuencia de encendido inversor puente H de 2 etapas simétrico.....	40
Tabla 11 Niveles de salida inversor puente H.....	43
Tabla 12 Secuencia de conmutación inversor de 2 etapas 9 niveles.....	49
Tabla 13 Estados de conmutación inversor de 3 etapas 27 niveles.....	50
Tabla 14 Potencia de salida del lado primario en los transformadores de salida del inversor	55
Tabla 15 Resumen de características de transformadores para el inversor multinivel	55
Tabla 16 Características de dispositivos de electrónica de potencia.....	57
Tabla 17 Especificaciones técnicas Arduino MEGA.....	68
Tabla 18 Asignación pines de salida del Arduino MEGA	73
Tabla 19 Polaridad de las etapas y tiempos de disparo de dispositivos interruptores del inversor multinivel	74
Tabla 20 Listado de componentes inversor multinivel	78

LISTA DE FIGURAS

Figura 1 depresión en la tensión de alimentación	19
Figura 2 desbalance de tensión	20
Figura 3 Flicker en la onda de suministro a frecuencia de 3 Hz	21
Figura 4 a) Onda de suministro de energía b)Componente armónica c) Distorsión armónica en la tensión de la carga	21
Figura 5Descripción de una muesca de tensión	23
Figura 6Tipos de convertidores de potencia	27
Figura 7 Clasificación de inversores eléctricos.....	29
Figura 8 Estructura del inversor puente	30
Figura 9 Formas de onda de tensión y corriente para una carga resistiva.....	30
Figura 10 Estructura del inversor trifásico con carga conectada en estrella	31
Figura 11 Inversor de (a) 2 niveles, (b) 3 niveles, (c) m niveles.....	33
Figura 12 Número de niveles y su distorsión armónica.....	33
Figura 13 Clasificación de los inversores multinivel alimentados en tensión	35
Figura 14 Esquema de Inversor Acoplado por Diodo (a) 3 niveles (b) 5 niveles.....	36
Figura 15 Inversor Acoplado por Condensador (a) 3 niveles (b) 5 niveles.	37
Figura 16 Configuración de un puente H de tres niveles.....	39
Figura 17 Inversor en Cascada Simétrico de dos Etapas	40
Figura 18 Inversor en Cascada Simétrico de dos Etapas con fuente común.....	41
Figura 19 Salida inversor en Cascada Simétrico de dos Etapas con fuente común.....	42
Figura 20 Inversor puente H de 1 etapa 3 niveles	47
Figura 21 Tensión de salida Inversor de 3 niveles	47
Figura 22 salida de inversor 3 niveles con optimización del ángulo de conmutación.....	48
Figura 23 Inversor puente H de 2 etapas 9 niveles	49
Figura 24 Tensión de salida inversor 2 etapas 9 niveles.....	50
Figura 25 Inversor puente H de 3 etapas 27 niveles	51
Figura 26 Forma de onda de salida inversor de 27 niveles.....	52

Figura 27 circuito de potencia inversor multinivel de 27 niveles	54
Figura 28 Tensión de salida inversor 27 niveles	54
Figura 29 Dispositivos de electrónica de potencia y aplicaciones	56
Figura 30 Circuito equivalente medio puente H	58
Figura 31 Conexión típica para IR2110	59
Figura 32 Circuito de aislamiento óptico	61
Figura 33 Fuente de alimentación etapa de acondicionamiento	62
Figura 34 Circuito de acondicionamiento y potencia para puente H	63
Figura 35 Modelo físico del conjunto dispositivo – disipador.....	65
Figura 36 Modelo eléctrico del conjunto dispositivo – disipador.....	66
Figura 37 Puente H con interruptores ideales	70
Figura 38 Tiempos T_{ON} y T_{OFF} MOSFET del medio puente S1 (rojo) S2 (negro).....	71
Figura 39 Circuito tiempo muerto.....	71
Figura 40 Diseño PCB fuente de alimentación de potencia.....	80
Figura 41 Diseño PCB fuente de alimentación circuito de acondicionamiento.....	80
Figura 42 Diseño circuito de acondicionamiento y potencia	81
Figura 43 Distribución de elementos PCB circuitos acondicionamiento y potencia	82
Figura 44 Revelado de PCB fuente de alimentación etapa de potencia.....	83
Figura 45 Fuente de alimentación de potencia ensamblada.....	83
Figura 46 Revelado de PCB fuente de alimentación etapa de acondicionamiento.....	84
Figura 47 Fuente de alimentación etapa de acondicionamiento ensamblada	84
Figura 48 Revelado de PCB etapa de acondicionamiento y potencia.....	85
Figura 49 Circuito de acondicionamiento y potencia ensamblado	86
Figura 50 Formas de onda de salida: a) etapa 3, b) etapa 2, c) etapa principal, d) inversor multinivel	87
Figura 51 Salida etapa principal inversor multinivel	88
Figura 52 Salida etapa 2 inversor multinivel	89
Figura 53 Salida etapa 3 inversor multinivel	89
Figura 54 Salida inversor multinivel de 3 etapas 27 niveles.....	90

RESUMEN

En el presente proyecto de grado se desarrolló un convertidor de potencia tipo inversor multinivel, el cual se compone de 3 bloques puente H conectados en cascada en configuración asimétrica, de esta manera se obtiene una onda escalonada de 27 niveles, similar a una onda sinusoidal, con una distorsión armónica total de aproximadamente 4%. En este documento se presenta el diseño de la fuente de alimentación regulable de 350 VA, el diseño del inversor que permita cumplir con el límite de distorsión armónica aplicable a la regulación colombiana, también se presenta la selección de los elementos necesarios para la construcción del inversor de acuerdo a las características de potencia y tensión del producto final, posteriormente se validó el diseño del desarrollo electrónico mediante software de simulación, se diseñaron los circuitos impresos necesarios para posteriormente proceder al montaje del circuito electrónico y por último se validaron los resultados obtenidos, donde básicamente se evaluó la amplitud y la forma de onda de la tensión de salida, además la distorsión armónica total por medio de un dispositivo patrón que cumple con las especificaciones de la IEEE para dichas mediciones.

Palabras clave: Electrónica de potencia, inversor multinivel, distorsión armónica, electrónica programable, puente H, cascada.

1. INTRODUCCION

Los inversores son dispositivos convertidores de potencia imprescindibles en el ámbito industrial en la actualidad, sus aplicaciones varían desde control de motores hasta usos en generación fotovoltaica en el ámbito residencial; permiten obtener tensiones en AC a partir de una tensión en DC, variar la frecuencia de la onda de entrada en AC, variar la amplitud, obtener una onda de salida trifásica a partir de una onda monofásica, entre otras aplicaciones.

En la medida que la potencia aumenta es de vital importancia obtener una onda de salida muy similar a una onda sinusoidal pura, donde el parámetro de referencia la distorsión armónica total (THD). Este documento muestra el desarrollo e implementación de una topología de inversor multinivel seleccionada, de modo que cumpla con el parámetro de referencia de THD, determinado por la IEEE en su estándar 519 de 2014, al cual se sujeta la regulación colombiana por medio de la comisión de regulación de energía y gas (CREG).

2. JUSTIFICACION

La calidad de la potencia eléctrica es un parámetro muy importante en el día a día de la industria contemporánea, ya que no garantizar una onda de calidad para los usuarios puede desencadenar en funcionamiento no deseado de los dispositivos alimentados, daño en los aislamientos, paradas de procesos industriales, reducción de la vida útil de componentes y en casos extremos pérdida total del equipo, lo cual puede causar daños al personal operativo y cuantiosas pérdidas económicas a las empresas, por lo tanto es imprescindible garantizar una onda de suministro de energía eléctrica dentro de los parámetros permisibles de amplitud, frecuencia, desbalance y distorsión que dicta la normativa aplicable, en el entorno colombiano, la regulación se sujeta al estándar IEEE 1159 de 2009 donde se expresan las practicas recomendadas para monitorear la potencia eléctrica.

3. OBJETIVOS

3.1 Objetivo General

- ✓ Desarrollar un inversor multinivel monofásico de ¼ HP para el Laboratorio de Máquinas Eléctricas de la Universidad de Pamplona, Sede Villa del Rosario, que cumpla con el límite de distorsión armónica de acuerdo con el estándar internacional IEEE 519.

3.2 Objetivos específicos

- ✓ Determinar la topología a implementar para el inversor multinivel.
- ✓ Diseñar el circuito electrónico para el inversor multinivel.
- ✓ Programar el dispositivo controlador del inversor multinivel.
- ✓ Desarrollar el circuito electrónico embebido para el inversor multinivel.
- ✓ Validar la forma de onda de la tensión y el nivel de distorsión armónica del inversor multinivel con un motor.

3.3 Acotaciones

Se desarrollará un inversor multinivel que cumpla con los niveles de distorsión armónica enunciados en el estándar IEEE 519, el cual será para uso del laboratorio de máquinas eléctricas de la universidad de pamplona, sede villa del Rosario; el desarrollo incluye la construcción del circuito electrónico, acople de sus componentes y puesta en funcionamiento del equipo electrónico; el programa ingeniería eléctrica se hará cargo de proveer el armazón (cubierta) dentro del cual estará el inversor y los transformadores de uso especial necesarios.

Los parámetros nominales del inversor serán establecidos por el docente encargado de la asignatura maquinas eléctricas.

4. MARCO TEORICO

4.1 Calidad de la energía Eléctrica

Actualmente, la materia prima básica más utilizada en las actividades industriales y comerciales es la energía eléctrica; ésta debe estar a disposición de los usuarios de una manera permanente y, sin embargo, no es posible su almacenamiento previo en cantidades importantes, por lo que debe producirse conforme se va necesitando. Además, es la forma de energía más versátil por la facilidad de su uso en cualquier proporción, su accesibilidad y posibilidad de conversión a otras formas de energía de manera relativamente sencilla, además de la facilidad de su transportación económica a grandes distancias y en grandes cantidades, lo que le ha dado, desde los primeros años de su implementación práctica, una preferencia indiscutible y un lugar sin competencia en la vida moderna [1].

La operación de equipo sensitivo requiere un suministro perfecto de energía eléctrica, entendiéndose lo anterior como un suministro continuo y libre de fluctuaciones, para alimentar a sus equipos, es decir, un suministro de alta calidad. Las compañías suministradoras, por lo tanto, deben garantizar la continuidad del suministro y controlar las tolerancias o límites de variación de sus características de tal manera que no originen problemas al usuario. Algunos de los eventos que pudieran intervenir en la calidad de la potencia son [2]:

1. Transitorios
 - a) Oscilatorios
 - De baja frecuencia
 - De frecuencia media
 - De alta frecuencia
 - b) Impulsivos
2. Variaciones del valor RMS
 - Depresiones de voltaje

- Elevaciones de voltaje
 - Interrupciones
 - Sobretensiones
 - Subtensiones
3. Distorsión de la forma de onda
 - Armónicas
 - Muecas
 - Offset de CD (DC Offset)
 - Interarmónicas
 - Ruido
 4. Desbalance del voltaje
 5. Fluctuación del voltaje
 6. Variaciones de la frecuencia de potencia

En el marco normativo colombiano el Instituto Colombiano de Normas Técnicas (ICONTEC) ha establecido como referencia las normas técnicas NTC-5000 y NTC-5001 donde se dan las definiciones y se establece las metodologías de evaluación y los valores de referencia de los parámetros asociados a la calidad de la potencia eléctrica, lo anterior sobre la base de los siguientes estándares internacionales [3]:

- IEEE Std 519-1992, Recommended Practices and Requirements for Harmonics Control in Electrical Power Systems.
- IEC 1000-3-6, Assessment of Emission Limits for Distorting Loads in MV and HV Power Systems. 1996.
- CENELEC EN50160:1994, Voltage Characteristics of Electricity Supplied by Public Distribution Systems.
- HYDRO-QUEBEC, Characteristics and Target Values of the Voltage Supplied by Hydro-Quebec Medium and Low Voltage System, 2001.
- HYDRO-QUEBEC, Characteristics and Target Values of the Voltage Supplied by Hydro-Quebec Transmission System, 1999.

- NATIONAL ELECTRICITY REGULATOR SOUTH AFRICA NRS 048-2:1996. Electricity Spply-Quality of Supply. Minimun Standards.
- IEC 61000-4-7:1993, Compatibilidad electromagnética (CEM). Parte 4: Técnicas de ensayo y de medida. Numeral 7: Guía general relativa a las medidas de armónicos y de interarmónicos, así como al equipo de medida, aplicable a las redes de distribución y a los aparatos a ellas conectados (véase la norma CE11000-4-7:1991).
- IEC 61000-2-2:1993, Compatibilidad electromagnética (CEM). Parte 2: Enromo. Numeral 2: Niveles de compatibilidad para las perturbaciones conducidas a baja frecuencia y la transmisión de señales por las redes de suministro público en baja tensión (véase la norma CE11000-2-2:1990).
- REGLAMENTO DE DISTRIBUCIÓN DE ENERGÍA ELÉCTRICA. Comisión de Regulación de Energía y Gas. 1998.

4.1.1 Valores de referencia de parámetros asociados a calidad de la potencia

4.1.1.1 Variaciones de tensión en el estado estable

Los valores de referencia para las variaciones de tensión en el estado estable son $\pm 10\%$ de la tensión de alimentación declarada; un hundimiento o depresión es una reducción súbita del valor eficaz de la tensión por debajo del 90% y por encima del 10% de dicha tensión con duración entre 8,33 ms y 1 minuto, una elevación es un aumento de la tensión eficaz de alimentación por encima del 110% de la tensión declarada con duración entre 8,33 ms y un minuto, figura 1 [3].

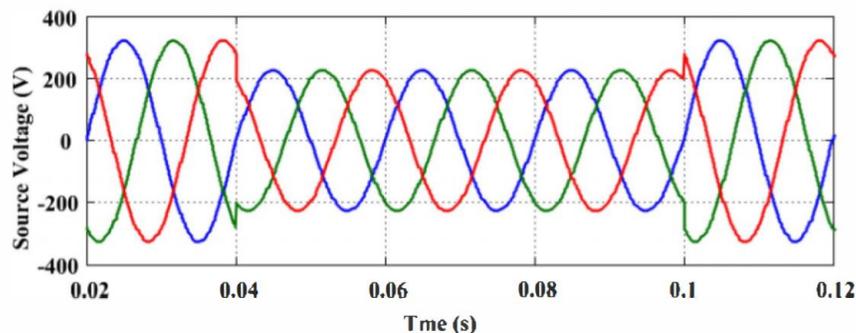


Figura 1 depresión en la tensión de alimentación

Fuente: AC-Choppers Using Instantaneous Voltage Control Technique to Solve Voltage Sag [4]

4.1.1.2 Desbalance de tensión

Este índice caracteriza la magnitud y asimetrías del ángulo de fase de las tensiones trifásicas en operación de estado estable, figura 2. Los valores de referencia del desbalance de acuerdo al nivel de tensión se muestran en la tabla 1 [3]:

Tabla 1 porcentajes máximos de desbalance de tensión

Rango de Tensión	Valor de Referencia
Vn<69kV	2.0%
Vn>69kV	1.5%

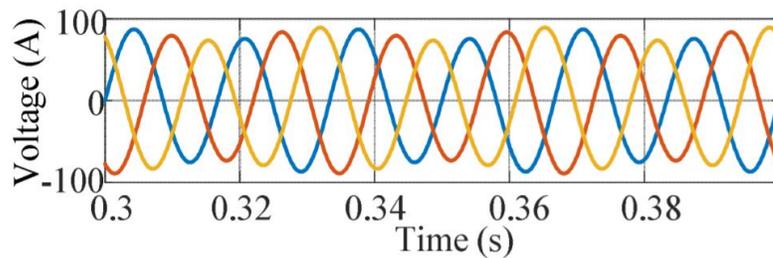


Figura 2 desbalance de tensión

Fuente: Análisis de corriente armónica en presencia de perturbación de voltaje en la red [5]

4.1.1.3 Flicker

El Flicker es el efecto producido sobre la percepción visual humana por una emisión cambiante de luz debido a iluminación sujeta a fluctuaciones en la tensión de suministro en baja tensión. Las fluctuaciones de tensión consisten de una secuencia de rápidos cambios de tensión espaciadas lo bastante cerca en el tiempo para simular la respuesta del ojo-cerebro definida como Flicker. Bajo condiciones de operación normales, la Severidad de Larga Duración (Plt) para el Flicker debe cumplir los valores de referencia de la tabla 2 [3]:

Tabla 2 Valores de referencia del Plt

Rango de Tensión	Valor de Referencia Plt
Vn<69kV	1.0 p.u.
Vn>69kV	0.8 p.u.

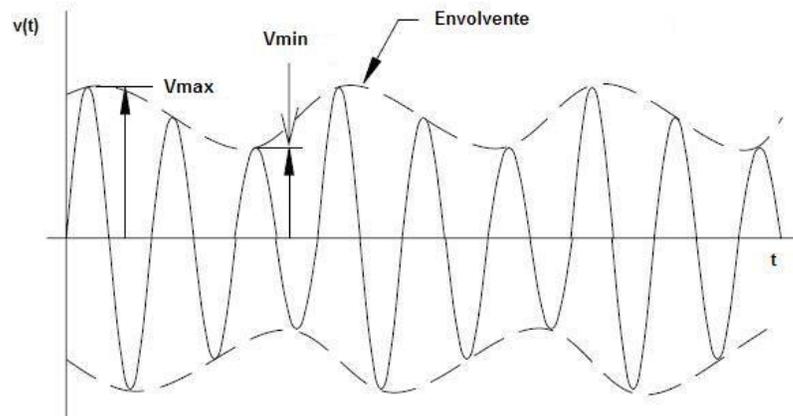


Figura 3 Flicker en la onda de suministro a frecuencia de 3 Hz
Fuente: Calidad de la energía eléctrica [1]

4.1.1.4 Armónicos

La IEEE 519 de 2014 define como armónico a una componente sinusoidal de una onda periódica teniendo una frecuencia que es un múltiplo entero de la frecuencia fundamental. Para sistemas de 60 Hz, la tercera armónica tiene una frecuencia de 180 Hz, la frecuencia de la quinta armónica es de 300 Hz [6].

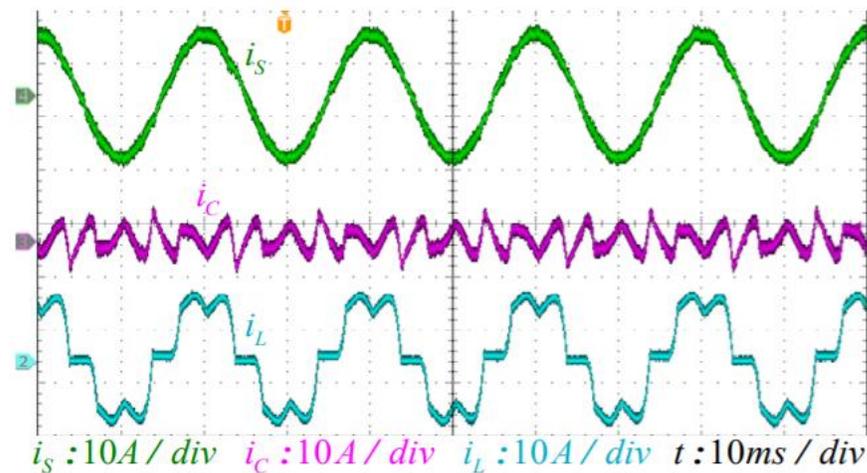


Figura 4 a) Onda de suministro de energía b) Componente armónica c) Distorsión armónica en la tensión de la carga

Fuente: Analysis and Design of enhanced DFT-Based Controller for Selective Harmonic Compensation in Active Power Filters [7]

La Distorsión armónica total (THD) es el término de uso común para definir el factor de distorsión del voltaje o de la corriente. Se calcula como la raíz cuadrada de la suma de los cuadrados de los valores RMS de los voltajes armónicos o de las

corrientes armónicas, dividida por el valor RMS del voltaje o de la corriente fundamental [3]:

$$THD_V = \frac{\sqrt{\sum_{h=2}^{40} V_h^2}}{V_1} \times 100 \%$$

En dónde:

V_h : magnitud de la componente armónica individual (Voltios rms)

h : orden del Armónico (A menos que aplique una condición específica, h será como mínimo igual a 40).

V_1 : magnitud de la componente fundamental (Voltios rms).

Los límites de la distorsión armónica total e individual se muestran en la tabla 3 [3].

Tabla 3 límites de distorsión de tensión

Tensión nominal	Distorsión armónica individual %	Distorsión armónica total (THD) %
$V \leq 1.0 \text{ kV}$	5.0	8.0
$1.0 \text{ kV} < V \leq 69 \text{ kV}$	3.0	5.0
$69 \text{ kV} < V \leq 161 \text{ kV}$	1.5	2.5
$161 \text{ kV} < V$	1.0	1.5

4.1.1.5 Muecas

Las muecas de tensión son un disturbio electromagnético periódico que afecta la forma de onda de voltaje reduciendo su valor instantáneo durante intervalos que generalmente no sobrepasan los 0,5 ciclos. La distorsión armónica total de la señal debida a las muecas se define como [3]:

$$THD_{m\acute{a}x} = 0,074 \sqrt{\frac{A_N}{\rho}} \%$$

en donde:

ρ es la relación de la inductancia total con respecto a la del sistema y

A_N es el área de la muesca medida en voltios–microsegundos.

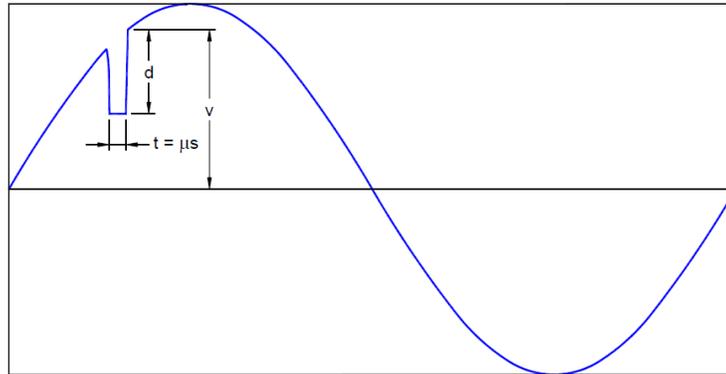


Figura 5 Descripción de una muesca de tensión
Fuente: NTC 5001 [3]

Profundidad de la muesca: La profundidad promedio de la tensión de línea de la muesca en la onda senoidal de tensión:

$$\%Nd = d / V \times 100\%$$

Área de la muesca: Es el producto de la profundidad de la muesca en voltios multiplicada por el ancho de esta medida en microsegundos.

$$A_N = t \times d \text{ [V} \cdot \mu\text{s]}$$

Los límites de la profundidad de la muesca, la distorsión armónica total y el área de la muesca son mostrados en la tabla 4 [3]:

Tabla 4 Límites de distorsión para muescas de tensión

Límites de distorsión			
	Aplicaciones Especiales*	Sistema General	Sistema Dedicado †
Profundidad de la muesca	10 %	20 %	50 %
THD (Tensión)	3 %	5 %	10 %
Área de la muesca (AN) ††	16400	22800	36500
NOTA El valor de AN para sistemas diferentes a 480 V deben ser multiplicados por V/480			
* Hospitales y aeropuertos			
† Un Sistema Dedicado es exclusivamente dedicado al rectificador de carga			
†† En Voltios-microsegundos			

4.1.1.6 Variaciones de frecuencia

La frecuencia nominal de la tensión de suministro es 60 Hz. Este valor es determinado por la velocidad de los alternadores en las estaciones de generación. Los valores de frecuencia tomados cada 10 min se agruparán para un periodo de

una semana de tal forma que el 100 % de los datos, se encuentren dentro de los rangos permisibles de la Tabla 5 [3].

Tabla 5 Valores de referencia de variaciones de frecuencia

Tipo de red	Frecuencia aceptable durante el 95 % de los datos tomados de una semana	Frecuencia aceptable durante el 100 % de los datos tomados de una semana
Redes acopladas por enlaces síncronos a un sistema interconectado.	Todos mayores a 59,8 Hz y todos menores a 60,2 Hz	Todos mayores a 57,5 Hz y todos menores a 63 Hz
Redes sin conexión síncrona a un sistema interconectado (redes de distribución en regiones no interconectadas e islas)	Todos mayores a 59,8 Hz y todos menores a 60,2 Hz	Todos mayores a 51 Hz y todos menores a 69 Hz

A continuación, se presenta la tabla 6, donde se resumen los disturbios en la onda de alimentación de suministro eléctrico [8]:

Tabla 6 definiciones de disturbios en la calidad de la potencia

Disturbio	Definición corta
Interrupción	Magnitud de voltaje es cero
Bajo voltaje	La magnitud del voltaje está por debajo de 0.9 veces su valor nominal
Sobre voltaje	La magnitud del voltaje está por encima de 1.1 veces su valor nominal
Depresión	Disminución en el voltaje RMS entre a 0.1-0.9 pu para una duración superior a 8.33 ms pero inferior a 1 s
Elevación	Un aumento en el voltaje RMS mayor a 1.1 pu para una duración superior a 8.33 ms pero inferior a 1 s
Flicker	Efecto visual de la variación de frecuencia de voltaje en un sistema
Desbalance de voltaje	Desviación de la magnitud y/o desfase de una, dos o tres fases
Salida	Interrupción de la alimentación por no más de 60 s de duración debido a una falla del sistema de alimentación
Transitorio	Aumento repentino de la señal
Armónicos	Forma de onda no sinusoidal

4.1.2 Efectos de disturbios electromagnéticos en la tensión de alimentación

Los disturbios electromagnéticos anteriormente descritos se caracterizan por producir los siguientes efectos en las cargas conectadas, por lo tanto, es imprescindible garantizar una onda de suministro de energía dentro de los parámetros permitidos por la regulación aplicable [3]:

- Paradas de procesos.
- Reducción de luz visible de algunos dispositivos de iluminación.
- Caída de sistemas telefónicos.
- Disparo de protecciones eléctricas.
- Funcionamiento defectuoso de equipos.
- Salida de operación de controladores de motores.
- Incremento en las pérdidas por calentamiento en los motores de inducción debido al aumento en la corriente.
- Cambios de velocidad en máquinas de inducción.
- Salida de operación de dispositivos electrónicos como computadores y controladores electrónicos.
- Reducción de la potencia de salida en bancos de condensadores.
- En algunos equipos electrónicos se puede presentar pérdida de datos, cuando la profundidad del hundimiento es grande.
- Cuando se presentan hundimientos con una magnitud inferior al 70 %, los sistemas de transferencia automática pueden operar.
- Las lámparas de descarga pueden apagarse cuando las magnitudes de los hundimientos alcanzan valores por debajo del 80% de la tensión declarada.
- Falla de los componentes de un equipo, dependiendo de la frecuencia de ocurrencia del evento.
- Reducción de la vida útil en dispositivos electrónicos, incluyendo variadores de velocidad, computadores, conductores, maquinaria rotativa, barrajes, transformadores de tensión y corriente.
- Operaciones no deseadas en relés de protección.

- Incremento de luz visible de algunos dispositivos de iluminación.
- Degradación de algunos dispositivos de protección (como varistores o diodos de avalancha de silicio).
- Protuberancias en la carcasa de los condensadores en bancos de control de reactivos.
- Falla inmediata en dispositivos electrónicos.
- Pérdida de vida útil de los equipos.
- Incremento en la potencia de salida en bancos de condensadores.
- Reducción de capacidad de carga en motores
- Reducción de vida útil del aislamiento en motores por sobrecalentamiento.
- En rectificadores con tecnología PWM se aumenta la distorsión de corriente armónica, incrementan los reactivos de la carga y se generan rizados de corriente en la etapa de continua.
- Sensación de inestabilidad visual.
- Irritabilidad y cansancio visual.
- Variaciones de niveles de iluminación en bombillas incandescentes y bombillas de descarga.
- Reducción de vida útil de bombillas de descarga.
- Efecto estroboscópico

4.2 Generalidades de la electrónica de potencia

En términos generales, la tarea de la electrónica de potencia es procesar y controlar el flujo de energía eléctrica mediante el suministro de voltajes y corrientes en una forma óptima para las cargas de los usuarios. En todos los procesos de conversión de potencia es importante que se presente una pequeña pérdida de potencia y, por ende, una alta eficiencia de energía, por dos razones: el costo de la energía desperdiciada y la dificultad para eliminar el calor generado debido a la energía disipada. Otras consideraciones importantes son la reducción de tamaño, peso y costo [9].

4.2.1 Convertidores de potencia

Un convertidor es un módulo básico (bloque componente) de los sistemas de electrónica de potencia. El convertidor usa dispositivos de semiconductores de potencia controlados por señales electrónicas (circuitos integrados) y quizás elementos de almacenamiento de energía, como inductores y capacitores [9].

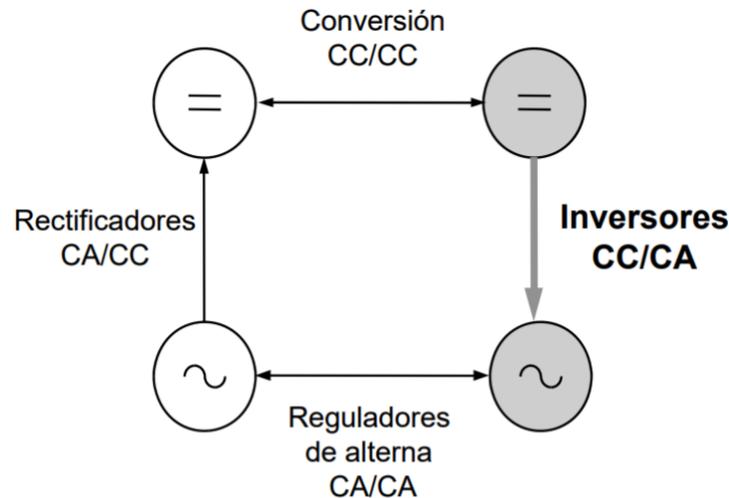


Figura 6 Tipos de convertidores de potencia
Fuente: Conversión CC/CA. Inversores [10]

Con base en la forma de onda en ambos lados, los convertidores se dividen en las siguientes categorías principales:

1. AC a DC (rectificadores)
2. DC a AC (inversores)
3. DC a DC (convertidores DC-DC)
4. AC a AC (reguladores de alterna)

El término *rectificador* se refiere a un convertidor cuando su entrada de potencia promedio es una señal en AC y su salida una señal en DC. El término *inversor* se refiere al convertidor cuando su entrada de potencia promedio es una señal en DC y su salida una señal de AC. De hecho, el flujo de potencia promedio a través del convertidor puede ser reversible [9]. El término *convertidor* se ha acuñado a

conversión de energía cuando el flujo de entrada es una señal de DC y la salida es igualmente una señal de DC con características diferentes a la señal de entrada.

4.3 Inversores

Los convertidores de DC a AC se conocen como inversores. La función de un inversor es cambiar una tensión de entrada en DC a una tensión simétrica en AC con la magnitud y frecuencia deseadas. Tanto la tensión de salida como la frecuencia pueden ser fijos o variables. Si se modifica la tensión de entrada de DC y la ganancia del inversor se mantiene constante, es posible obtener una tensión variable de salida. Por otra parte, si la tensión de entrada en DC es fija y no es controlable, se puede obtener una tensión de salida variable si se varía la ganancia del inversor; esto por lo general se hace controlando la modulación del ancho de pulso (PWM) dentro del inversor. La ganancia del inversor se puede definir como la relación entre la tensión de salida AC y la tensión de entrada DC [11].

En los inversores ideales la onda de tensión de salida debería ser senoidal. Sin embargo, en los inversores reales no son senoidales y contienen ciertas armónicas. Para aplicaciones de mediana y baja potencia, se puede aceptar las tensiones de onda cuadrada o casi cuadrada; para aplicaciones de alta potencia son necesarias formas de onda senoidales de baja distorsión. Dada la disponibilidad de los dispositivos semiconductores de potencia de alta velocidad es posible minimizar o reducir significativamente el contenido armónico de la tensión de salida mediante las técnicas de conmutación [11].

Las principales aplicaciones de los inversores de tensión son [12]:

- Accionamiento de máquinas eléctricas de corriente alterna
- Calentamiento inductivo
- Sistemas de alimentación ininterrumpida
- Transmisión de energía en corriente continua
- Fuentes de respaldo y poder

- Instalaciones de energía solar voltaica
- Reactores electrónicos para lámparas de descarga

4.3.1 Clasificación de los inversores

La figura 7 muestra un diagrama que agrupa las diferentes clasificaciones para inversores eléctricos mayormente difundidos.

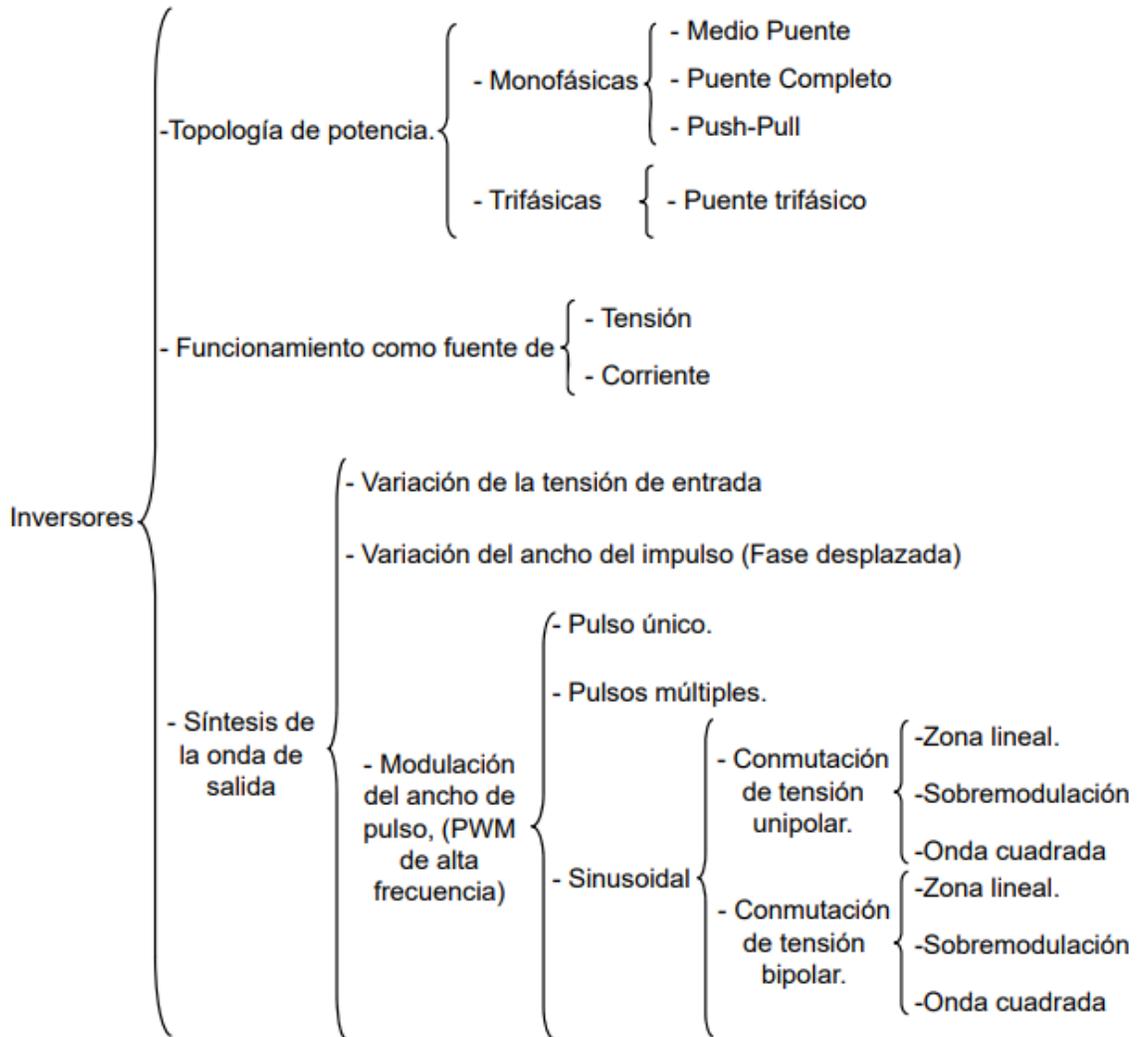


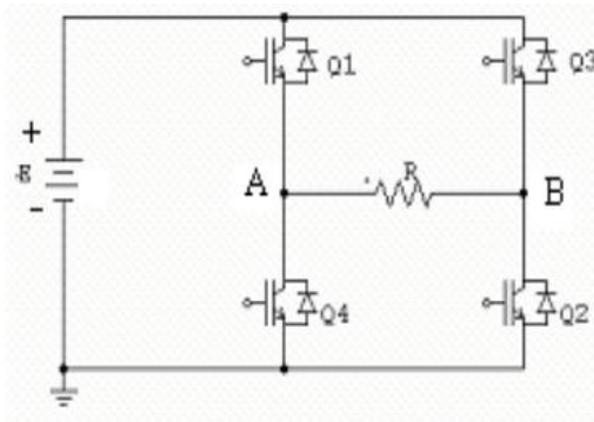
Figura 7 Clasificación de inversores eléctricos
Fuente: Conversión CC/CA. Inversores [10]

Varios son los puntos de vista respecto a los que se puede realizar la clasificación de los inversores [10]:

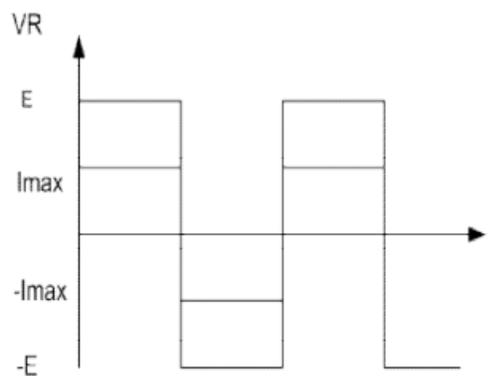
- Topología del circuito de potencia.
- Funcionamiento como fuente de tensión o de intensidad.
- Método de síntesis de la onda de salida, o control de la tensión de salida

4.3.2 Inversor monofásico en puente

La estructura del inversor está representada en la figura 8, la forma de onda de tensión y corriente para una carga resistiva se visualiza en la figura 9; los interruptores son comandados en el cierre y en la apertura. Cuando Q1 y Q2, conducen, la tensión de carga es igual a E, y cuando Q3 y Q4 conducen ella es igual a $-E$ [12]:



*Figura 8 Estructura del inversor puente
Fuente: teoría de los inversores de tensión [12]*



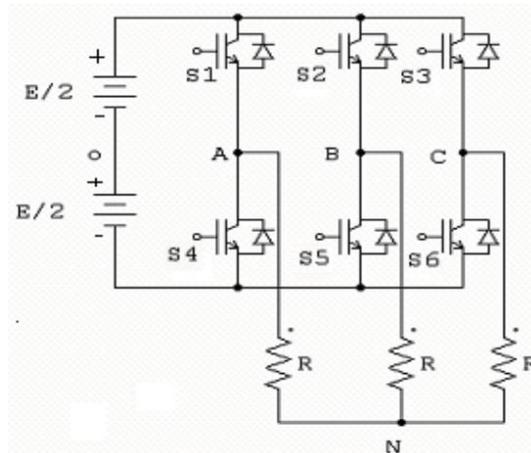
*Figura 9 Formas de onda de tensión y corriente para una carga resistiva
Fuente: teoría de los inversores de tensión [12]*

4.3.3 Inversores trifásicos

Estos convertidores se utilizan en aplicaciones de alta potencia, con la característica de que los secundarios de los transformadores se conectan normalmente en estrella para de esta forma eliminar los armónicos de orden 3 ($n=3, 6, 9, \dots$), de la tensión de salida. Se tiene dos modos diferentes de operación [12]:

- Conducción de dos interruptores
- Conducción de tres interruptores

Este tipo de inversores puede alcanzar frecuencias de hasta 50 kHz, en la figura 10 se muestra el circuito para un inversor trifásico de medio puente, la secuencia de conmutación será: S1S5, S1S6, S6S2, S2S4, S4S3, S3S5.



*Figura 10 Estructura del inversor trifásico con carga conectada en estrella
Fuente: teoría de los inversores de tensión [12]*

5. INVERSORES MULTINIVEL

Para establecer la topología adecuada en el desarrollo e implementación de este proyecto se establecerán las diferencias constructivas y de funcionamiento de diferentes topologías típicas para inversores multinivel, a fin de comparar y seleccionar la topología adecuada para el caso de estudio que cumpla con los niveles de distorsión armónica de la regulación aplicable.

La función general de un Inversor Multinivel es generar un voltaje alterno a partir de diferentes niveles de voltaje continuo. Estos inversores multinivel pueden ser conectados en serie (con fuentes DC flotantes galvánicamente aisladas) o en paralelo (con fuente DC común y galvánicamente aislados con transformadores de potencia en la carga) [13].

Un inversor multinivel individual se caracteriza por generar cierto número de niveles de tensión en la salida. Un inversor de dos niveles genera dos niveles voltaje de salida, uno de tres niveles generará tres niveles de tensión y así sucesivamente. En la figura 11 se muestra un esquema básico de inversores con (a) dos (b) tres y (c) m niveles, donde los semiconductores de potencia están representados por interruptores ideales de varias posiciones [13].

El número de niveles de la onda de voltaje de salida m de un inversor con n fuentes de voltaje queda determinado por la expresión: $m = n + 1$. Mientras mayor es el número de niveles de un inversor, mayor será el número de componentes y más complicado resulta el control para éste, por otro lado, el voltaje de salida tendrá mayor cantidad de pasos, formando una senoide escalonada con menor distorsión armónica. En la figura 12 se muestra la señal obtenida con distintos números de niveles de tensión de salida (3, 11, 31 y 81) y sus respectivas distorsiones armónicas, las que claramente disminuyen con el aumento del número de niveles [14].

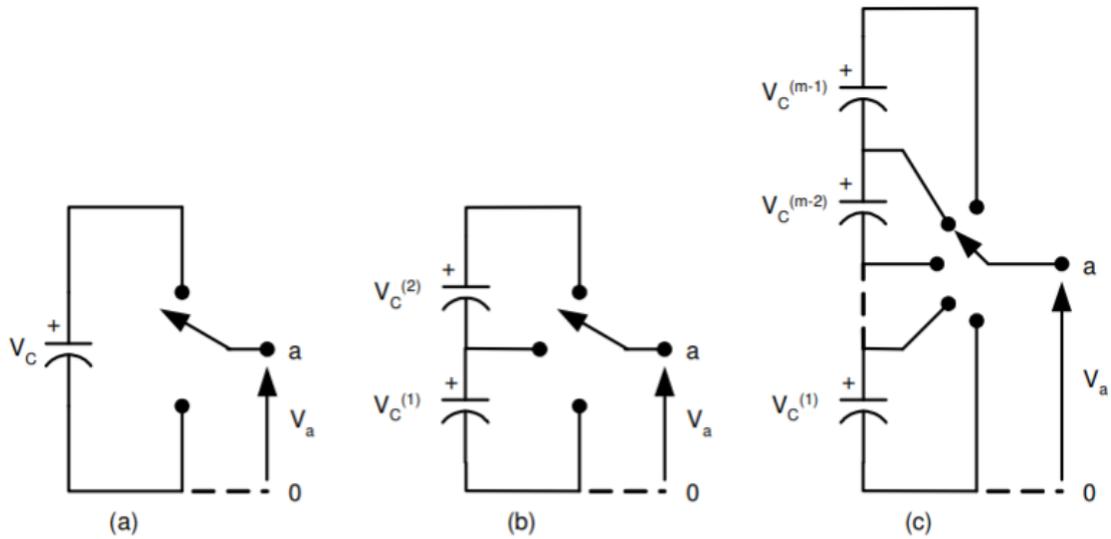


Figura 11 Inversor de (a) 2 niveles, (b) 3 niveles, (c) m niveles.

Fuente: Cristian Marcelo Elgueta Díaz [14]

Por otro lado, para aumentar el número de niveles es necesario incorporar mayor número de componentes, tanto en la electrónica de potencia como en la de control, lo que influye en la confiabilidad del equipo.

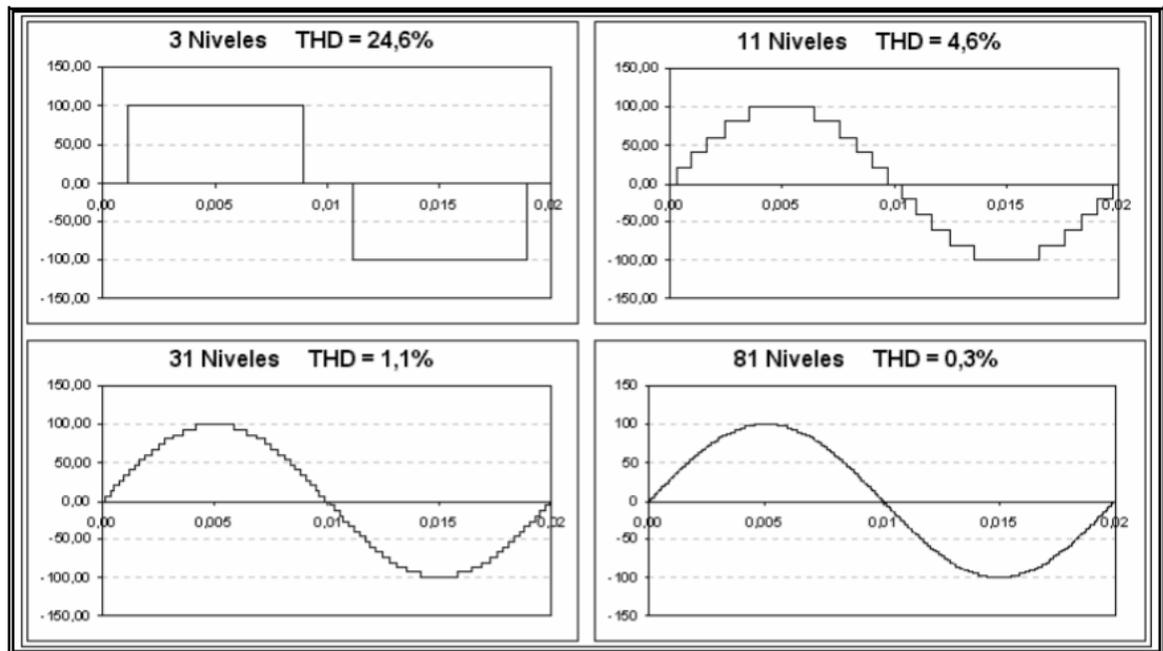


Figura 12 Número de niveles y su distorsión armónica

Fuente: Alberto Andrés Bretón Schuwirth [13]

Entre las principales ventajas de los Inversores Multinivel se pueden destacar:

- a. Pueden generar voltajes de salida con muy poca distorsión y bajo dv/dt .
- b. Las corrientes de entrada son de muy baja distorsión.
- c. Generan pequeños voltajes de modo común, protegiendo los motores. Más aún, utilizando sofisticados métodos de modulación, el voltaje de modo común puede ser eliminado.
- d. Pueden operar con baja frecuencia de conmutación, provocando menores pérdidas [14].

Además de lo anterior, los inversores multinivel son muy adecuados en accionamientos, pues solucionan los problemas presentados por los variadores de velocidad para motores con inversores de 2 niveles, controlados por modulación por ancho de pulso (PWM). Debido a la alta frecuencia de conmutación y los grandes dv/dt que genera la PWM, los motores sufren daños principalmente en los rodamientos y en la aislación de los enrollados. Por esto es necesario utilizar motores especialmente diseñados, con aislaciones reforzadas y rodamientos aislados, para evitar el envejecimiento prematuro de la aislación y la corriente a través de los rodamientos. Además, las altas frecuencias de conmutación (10 kHz a 100 kHz) producen interferencia en los sistemas de comunicaciones y equipos electrónicos. Otro problema que presentan los variadores de velocidad convencionales es la eficiencia. Debido a que el inversor debe conmutar a altas frecuencias (supersónicas), las pérdidas asociadas a la conmutación son normalmente más altas que las pérdidas por conducción. Además, un mayor contenido armónico de corriente genera mayores pérdidas en el motor, ya que aumenta su temperatura de trabajo. Esto se traduce en una pérdida de eficiencia en la transformación de continua en alterna [13].

5.1 Topologías multinivel

Teniendo en cuenta la topología, los inversores multinivel se pueden dividir principalmente en tres grupos: Inversor Acoplado por Diodo de enclavamiento,

inversor acoplado por capacitor flotante, inversor de puente H en cascada. La figura 13 muestra la clasificación de dichos grupos.

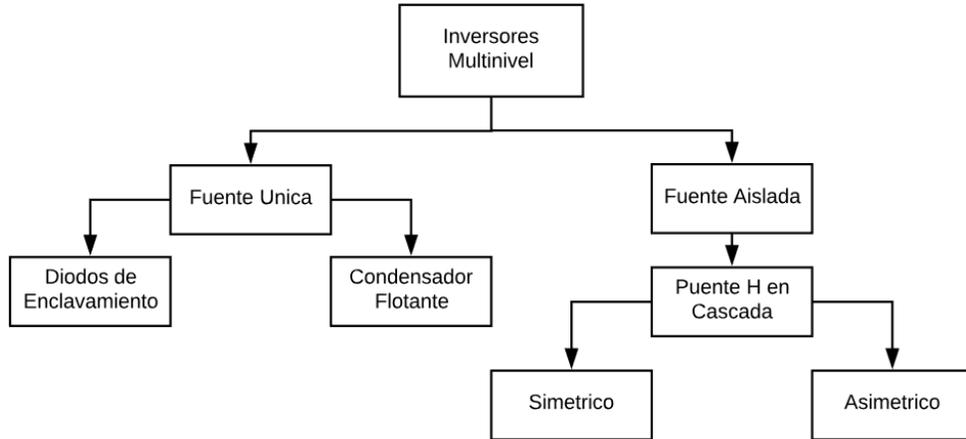


Figura 13 Clasificación de los inversores multinivel alimentados en tensión
Fuente: Autor.

5.2 Inversor Acoplado por Diodo

Este inversor se caracteriza por dividir el voltaje de la barra DC en una cierta cantidad de niveles por medio de condensadores conectados en serie. La cantidad de diferentes niveles de voltaje caracteriza al inversor. En la figura 14 se muestra un Inversor de tres niveles, obtenidos con los condensadores C1 y C2 conectados en serie. El punto medio n entre los dos condensadores se puede definir como punto neutro. El voltaje de salida V_{an} se caracteriza por tener tres estados o niveles: $V_{dc}/2$, 0, y $-V_{dc}/2$ con respecto al punto neutro. En la tabla 7 se muestra la secuencia de encendido de los semiconductores que se debe utilizar para generar los diferentes voltajes de salida para el inversor de la figura 14-a [13].

Tabla 7 Secuencia de encendido para inversor acoplado por diodo de tres niveles

V_{an}	S1	S2	S1'	S2'
$V_{dc}/2$	1	1	0	0
0	0	1	1	0
$-V_{dc}/2$	0	0	1	1

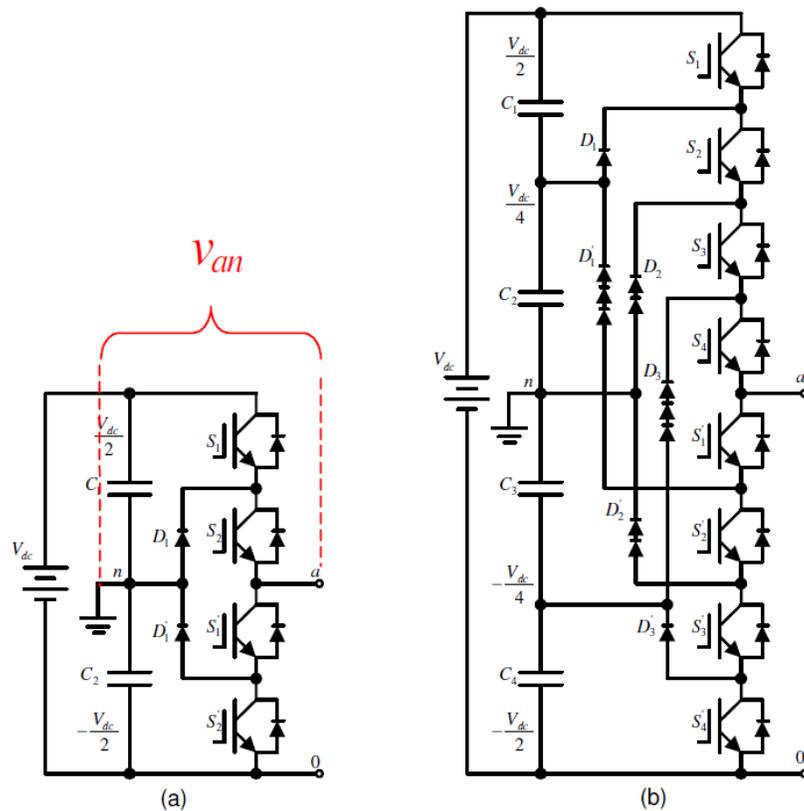


Figura 14 Esquema de Inversor Acoplado por Diodo (a) 3 niveles (b) 5 niveles.

Fuente: Cristian Marcelo Elgueta Díaz [14]

En este tipo de inversor, los diodos D_1 y D_2 son componentes clave; estos diodos acoplan el voltaje de conmutación para dividir el nivel de voltaje de la barra DC. Cuando S_1 y S_2 están simultáneamente cerrados, el voltaje entre a y 0 es V_{dc} . En este caso, D_1' balancea el voltaje entre S_1' y S_2' haciendo que S_1' bloquee el voltaje en C_1 y que S_2' bloquee el voltaje en C_2 .

En la figura 14-b se puede apreciar el esquema para un inversor acoplado por diodo de 5 niveles, los cuales son generados por los condensadores C_1, C_2, C_3, C_4 además del punto neutro. Dicho circuito requiere que en cada secuencia de conmutación se enciendan al menos 4 interruptores [13].

Asumiendo que el voltaje inverso de cada diodo es el mismo que el de los semiconductores, el número de diodos que se requiere para una fase del inversor

será: $(m-1) * (m-2)$. Este número crece cuadráticamente a medida que aumenta m , por lo tanto, cuando m se hace suficientemente grande, el número de diodos necesarios para implementar el inversor lo hacen inviable.

5.3 Inversor Acoplado por Condensador

En la figura 15 se muestra el diagrama esquemático de un inversor acoplado por Condensador. El inversor de la figura 15-a corresponde a uno de tres niveles, el cual genera entre los terminales a y n los siguientes voltajes: $V_{dc}/2$, 0 , $-V_{dc}/2$. En la tabla 8 se pueden ver las combinaciones de los semiconductores que deben estar conduciendo para generar los diferentes niveles de tensión [13].

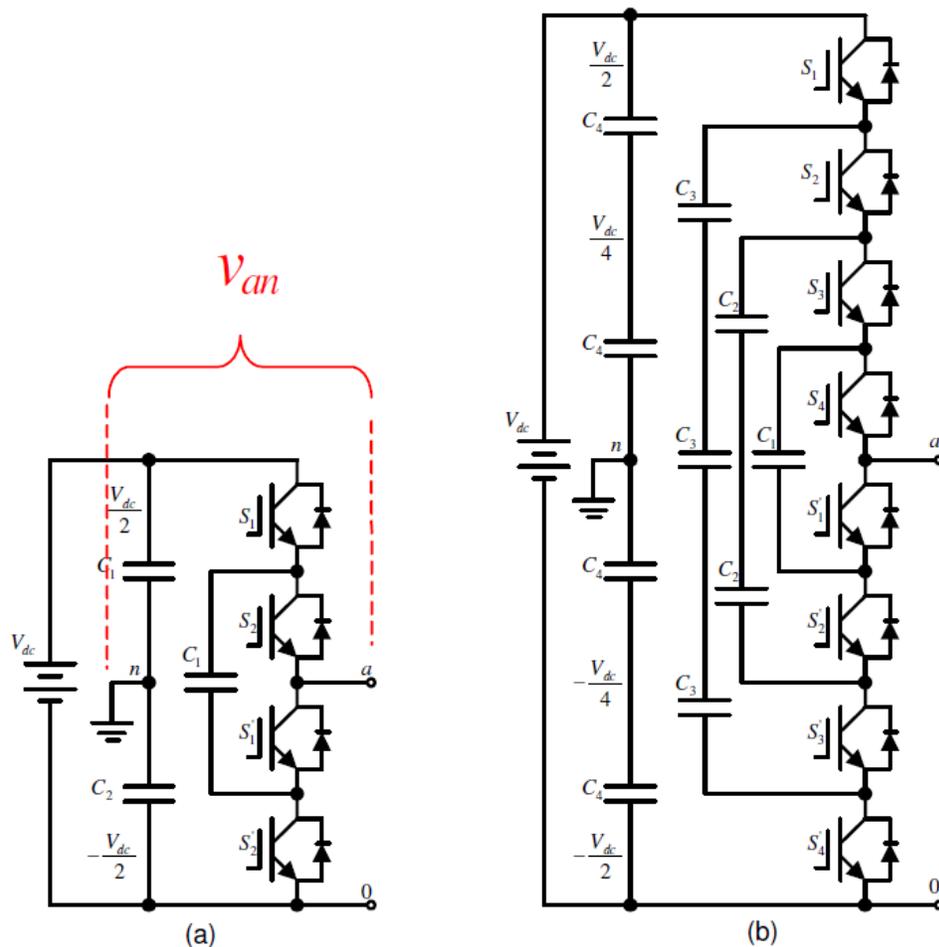


Figura 15 Inversor Acoplado por Condensador (a) 3 niveles (b) 5 niveles.

Fuente: Cristian Marcelo Elgueta Díaz [14]

Tabla 8 Secuencia para el inversor acoplado por condensador de 3 niveles

V_{an}	S1	S2	S1'	S2'
V _{dc} /2	1	1	0	0
0	1	0	1	0
0	0	1	0	1
-V _{dc} /2	0	0	1	1

La forma de conseguir los diferentes niveles de tensión en el inversor acoplado por condensador es más flexible comparado con el Inversor acoplado por diodo. Esto se nota aún más en el caso del inversor de cinco niveles, en el cual existen diferentes combinaciones de encendido para obtener un mismo nivel de tensión.

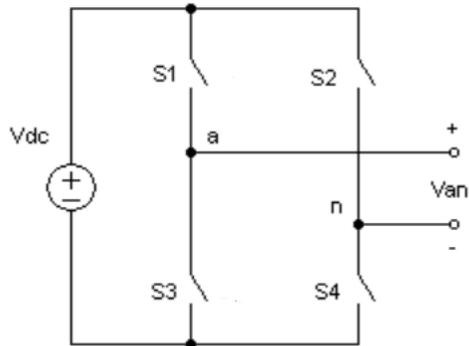
Similarmente a como ocurre con el inversor acoplado por diodo, el inversor acoplado por condensador requiere un gran número de condensadores para hacer flotar el voltaje. De esta forma, un Inversor de m-niveles requerirá un total de $(m-1) \times (m-2) / 2$ condensadores de flotación, además del condensador de alto voltaje que seguramente se requerirá como filtro de entrada. Este último deberá ser implementado con una cadena de condensadores en serie si el voltaje continuo es demasiado alto. En la figura 15-b se observan cadenas de condensadores en serie, esto se debe a que la tensión continua obliga a hacer esto para aumentar la tensión soportada por los condensadores [13].

5.4 Inversor Multietapa con Puentes H e Inversores en Cascada

Se puede casi duplicar el número de niveles de las topologías anteriores sin hacer crecer el número de fuentes de voltaje, utilizando la estrategia de los Puentes H. Estos puentes se construyen utilizando dos inversores multinivel idénticos. Esto permite a la carga evitar el retorno directo hacia las fuentes de tensión continua y elevar el número de niveles de $n+1$ a $2n+1$ [13].

El puente H más sencillo es aquél formado por ramas de dos niveles cada una, como el mostrado en la figura 16, este genera tres voltajes de salida (V_{an})

diferentes, $+V_{dc}$, 0 y $-V_{dc}$, conectando el voltaje de entrada al de salida con diferentes combinaciones de los cuatro semiconductores S1, S2, S3 y S4. Para obtener $+V_{dc}$, los semiconductores S1 y S4 se ponen en conducción (1), mientras que S2 y S3 están en estado de no conducción (0) [13].



*Figura 16 Configuración de un puente H de tres niveles.
Fuente: Autor*

Encendiendo los semiconductores S2 y S3 y apagando S1 y S4, se obtiene $-V_{dc}$. Con las combinaciones (S1 y S2) o (S3 y S4) en estado encendido se obtiene un voltaje de salida de amplitud Cero. Cualquier otra combinación no es permitida pues provocará un corto circuito en la fuente DC del módulo. El funcionamiento de este puente H se resume en la tabla 9:

Tabla 9 Secuencia de encendido para puente H de la figura 16

Van	S1	S2	S3	S4
$V_{dc}/2$	1	0	0	1
0	1	1	0	0
0	0	0	1	1
$-V_{dc}/2$	0	1	1	0

Estos puentes H pueden conectarse en cascada (serie o paralelo), y dependiendo del número de puentes (etapas) que se conecten, se podrá obtener un número diferente de niveles de tensión. Este tipo de inversores se puede separar en simétricos y asimétricos. Los simétricos tienen todas las fuentes independientes con la misma tensión, en cambio los asimétricos poseen fuentes de diferentes tensiones.

En la figura 17 se muestra el diagrama de conexión para un Inversor en Cascada Simétrico de dos etapas. Este inversor puede generar voltajes de salida que van desde $-2V_{dc}$ a $+2V_{dc}$ con cinco niveles diferentes (dos en el semiciclo positivo, dos en el semiciclo negativo y el cero, con escalones iguales a V_{dc}).

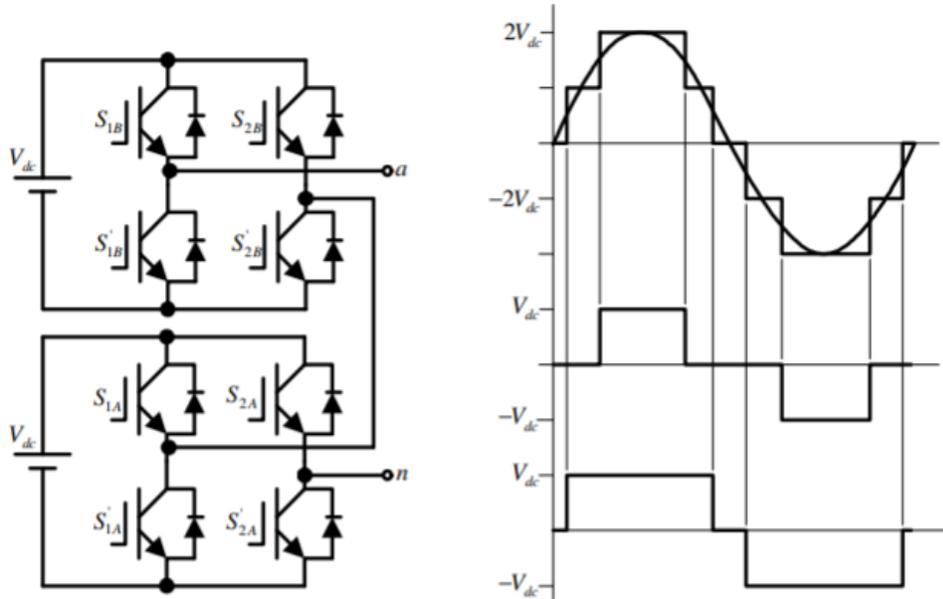


Figura 17 Inversor en Cascada Simétrico de dos Etapas

Fuente: Alberto Andrés Bretón Schuwirth [13]

Para obtener los diferentes niveles de tensión se debe utilizar la secuencia de conmutación que se muestra en la tabla 10, la que se construyó siguiendo la secuencia de la sinusoide de la figura 17. Además, se puede apreciar que para generar los diferentes niveles de tensión hay más de una combinación posible [13].

Tabla 10 Secuencia de encendido inversor puente H de 2 etapas simétrico

Van	S1A	S2A	S1A'	S2A'	S1B	S2B	S1B'	S2B'
0	1	1	0	0	1	1	0	0
Vdc	1	0	0	1	1	1	0	0
2Vdc	1	0	0	1	1	0	0	1
Vdc	1	0	0	1	0	0	1	1
0	0	0	1	1	0	0	1	1
-Vdc	0	1	1	0	0	0	1	1
-2Vdc	0	1	1	0	0	1	1	0
-Vdc	0	1	1	0	1	1	0	0

Una variante al circuito anterior es usar una fuente de alimentación para las dos etapas y acoplar la salida por medio de transformadores de aislamiento a la salida de cada puente H como se muestra en la figura 18.

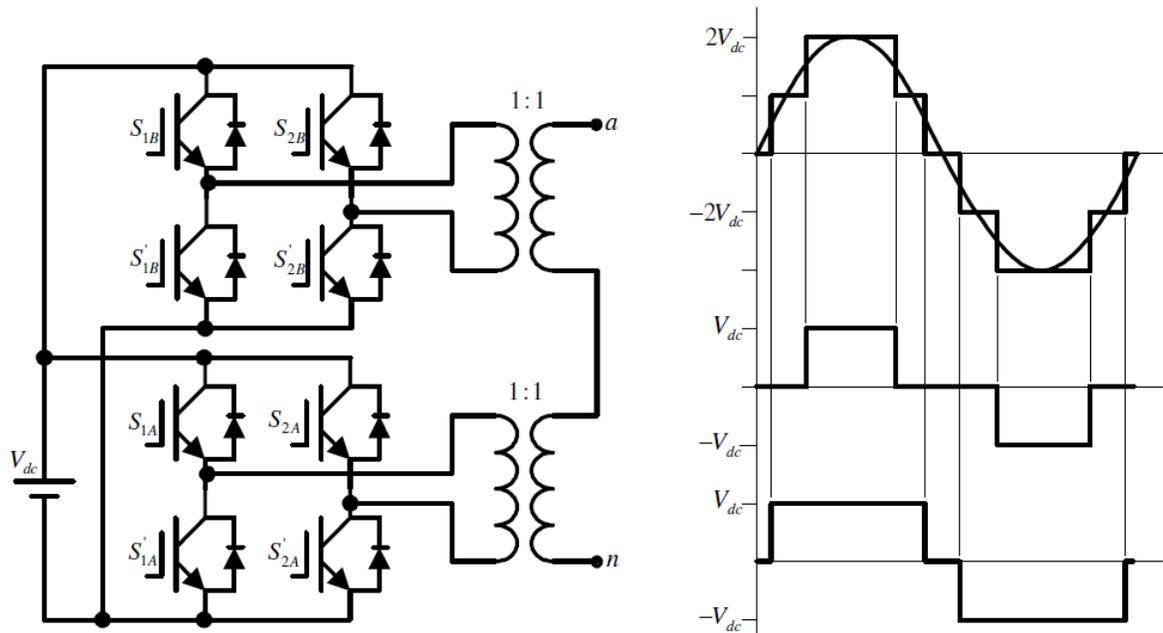


Figura 18 Inversor en Cascada Simétrico de dos Etapas con fuente común
Fuente: Alberto Andrés Bretón Schuwirth [13]

Otro modo de conexión de este tipo de inversores es el inversor en Cascada asimétrico; esta configuración se puede obtener usando fuentes de alimentación de diferente valor para cada etapa de la cascada, o también se puede usar una fuente de alimentación común para las etapas de la cascada, como se muestra en la figura 18, con la variante de conectar a la salida del puente H transformadores de relaciones de transformación diferentes. Esta configuración asimétrica permite obtener mayor número de niveles a la salida para un mismo número de etapas o interruptores en comparación del modo simétrico. En la figura 19 se muestra la forma de onda de salida para un inversor de dos etapas en configuración asimétrica, se puede observar que en este caso se dispone de 9 niveles en la onda de salida, con lo cual la onda se parece más a una onda sinusoidal que en el inversor en cascada simétrico de 5 niveles de la figura 18.

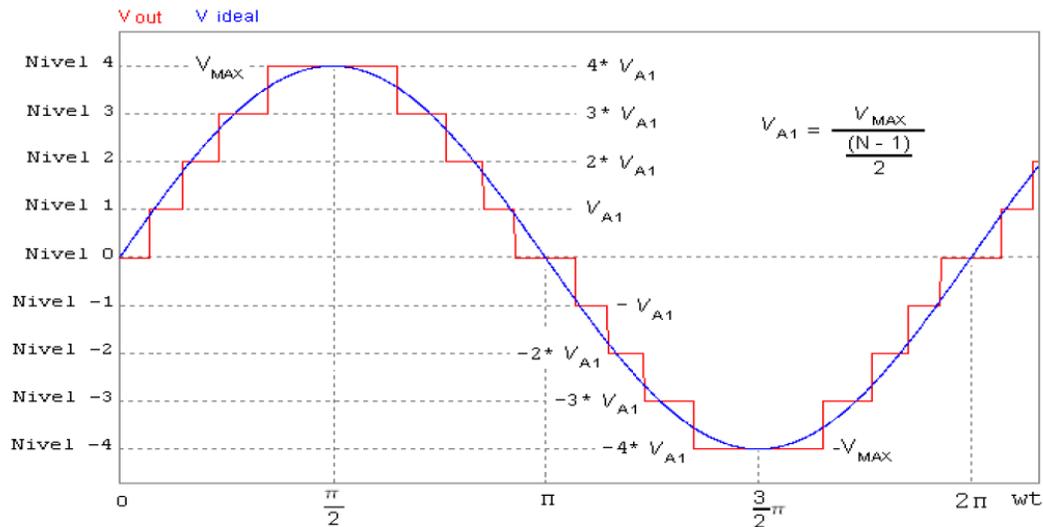


Figura 19 Salida inversor en Cascada Simétrico de dos Etapas con fuente común
Fuente: Oscar Armando Alfaro Cruz [15]

5.5 Selección de la topología a implementar

Teniendo en cuenta que las diferentes topologías se pueden ajustar a la forma de onda con los niveles deseados de salida, el criterio principal para la selección de la topología a implementar es el número de componentes individuales que requerirá el circuito final, ya que a mayor número de componentes se incrementa la probabilidad de fallo en la operación del inversor multinivel; en este sentido de acuerdo a la revisión de la literatura hecha en los apartados anteriores, se tiene que para los inversores multinivel tipo enclavamiento por diodos el número de diodos a usar se determina por la expresión $(m-1)*(m-2)$ para m niveles, lo cual sugiere un aumento cuadrático de diodos de enclavamiento a medida que aumentan los niveles del inversor. Para el caso del inversor multinivel acoplado por condensadores flotantes el número de condensadores se determina por $(m-1)*(m-2)/2$ para m niveles; de forma similar que el inversor de diodos de enclavamiento, el número de condensadores crece de forma cuadrática a medida que aumenta el número de niveles del inversor multinivel. La configuración de puente H en cascada no requiere diodos ni condensadores adicionales, lo cual reduce en gran medida los elementos para su implementación, se compararán las diferentes topologías en cascada para 3 etapas.

Los inversores multinivel en configuración puente H en cascada simétricos usan fuentes DC independientes aisladas galvánicamente, cada una de ellas con el mismo valor de tensión, en cada etapa del inversor. El número de niveles se determina por la expresión $m=2n+1$, donde n es el número de etapas de la cascada, para el caso de un puente H de 3 etapas se tendrían 3 niveles de tensión positiva y negativa más el nivel de referencia, para obtener un total de 7 niveles en la onda de salida. La disposición asimétrica requiere que las fuentes de alimentación DC de cada etapa sean diferentes entre si, lo normal es que dichas relaciones sean 1:2 o 1:3 [16]; esto supone un aumento en el número de niveles en la salida, haciéndola más parecida a una función sinusoidal, disminuyendo la distorsión armónica; para el caso de un inversor multinivel de puente H en cascada en disposición asimétrica de relación 1:2 de 3 etapas se pueden obtener 15 niveles usando la misma cantidad de elementos interruptores que en la disposición simétrica. Usando disposición asimétrica con relación entre las fuentes de alimentación 1:3 se puede aumentar el número de niveles de salida en comparación con la disposición asimétrica de relación 1:2; en este caso el número de niveles se puede determinar por la expresión $m=3^n$ donde n es el número de etapas de la cascada, si se suponen 3 cascadas para esta disposición, el número de niveles a la salida del inversor será de 27 usando el mismo número de elementos interruptores que en la disposición asimétrica relación 1:2 de 3 etapas; la tabla 11 compara las distintas configuraciones de puente H en cascada con sus respectivos niveles de salida.

Tabla 11 Niveles de salida inversor puente H

Etapas	Simétrico	Asimétrico	
		Relación 1:2	Relación 1:3
2	5	7	9
3	7	15	27
4	9	31	81
5	11	63	243

De acuerdo a los datos observados en la tabla 11, se puede concluir que la disposición del inversor que ofrece la mejor relación entre niveles vs etapas es la disposición asimétrica con relación 1:3 entre sus fuentes de DC, esto es muy importante ya que entre más niveles se obtengan a la salida del inversor, se puede garantizar que la salida se parezca más a una función sinusoidal con una menor distorsión armónica.

Debido a la complejidad que supone obtener fuentes de alimentación en DC en múltiplos de 3 para formar una salida deseada, se propone implementar una disposición en cascada de fuente de alimentación común acoplado las salidas mediante transformadores como se puede observar en la figura 18; estos transformadores deben tener una relación de transformación que garantice que las salidas de las etapas tengan una relación 1:3.

6. DISEÑO DEL INVERSOR MULTINIVEL

6.1 Parámetros de diseño

Para iniciar el diseño del inversor multinivel a implementar, se debe partir de los parámetros nominales del mismo, se decidió aumentar la potencia de salida del inversor para dar un margen de seguridad ante una posible sobrecarga, de este modo, los parámetros de diseño son:

Potencia de salida máxima:	1/3 HP
Tensión nominal:	127 V _{RMS}
THD:	<8%
Factor de potencia:	0.8

La potencia máxima en vatios es:

$$\frac{1}{3} HP = \frac{745.7 W}{3} = 248.56 W$$

La tensión pico de la onda de salida es:

$$V_p = \sqrt{2} * V_{RMS} = \sqrt{2} * 127V = 179.6V$$

Para efectos de diseño y simulación se asumió un caso extremo en el cual la carga tenga un factor de potencia bajo, en este caso se seleccionó factor de potencia, FP=0.8; por lo tanto, la corriente máxima de salida es:

$$I_{RMS} = \frac{P}{V_{RMS} * 0.8} = \frac{248.56 W}{127 V * 0.8} = 2.44 A$$

El ángulo de desfase de la corriente con respecto a la tensión para una carga con FP=0.8 es:

$$\theta = \cos^{-1}(FP) = \cos^{-1}(0.8) = 36.86^\circ$$

Por lo tanto, la I_{RMS} en coordenadas polares es:

$$I_{RMS} = 2.44 \angle -36.86^\circ A$$

La impedancia de carga para FP=0.8 es:

$$Z_P = \frac{V_{RMS}}{I_{RMS}} = \frac{127 V}{2.44 \angle -36.86^\circ A} = 52.05 \angle 36.86^\circ = 41.64 + i31.22 \Omega$$

De la expresión anterior, el valor de la resistencia de carga es:

$$R_L = 41.64 \Omega$$

La inductancia de carga es:

$$L = \frac{X_C}{2\pi * f} = \frac{31.22 \Omega}{2\pi * 60 Hz} = 82.81 mH$$

6.2 Simulación del circuito de potencia y selección del número de etapas del inversor

Para obtener el número de etapas se realizaron simulaciones en el software Powersim, este software está orientado a la simulación de circuitos de potencia, posee módulos para control de motores, simulación de circuitos de electrónica de potencia, módulos de energías renovables con paneles fotovoltaicos entre otros, por lo cual es adecuado para el caso de estudio en mención; dicho software permite obtener formas de onda por medio de medidores de tensión o corriente y posteriormente permite calcular el THD, factor de potencia, valor rms, potencias activa y aparente, valor promedio entre otros parámetros de la onda medida; por lo tanto se realizara la simulación del circuito inversor en puente H de una etapa y se calculara su THD, si esta medición no cumple el parámetro de diseño, el cual debe ser menor al 8%, se aumentaran el número de etapas hasta alcanzarlo. Las simulaciones en este punto se hicieron con los componentes genéricos que provee el software, ya que no permite escoger componentes de referencias específicas.

El circuito base para la simulación se muestra en la figura 20, donde se evidencia el uso del transformador a la salida para obtener el nivel de amplitud deseada.

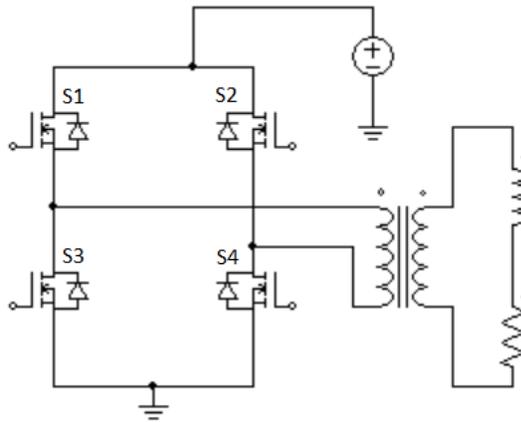


Figura 20 Inversor puente H de 1 etapa 3 niveles
Fuente: Autor.

La secuencia de conmutación que se usó para el puente H de la figura 20 se puede observar en la tabla 9 de la sección 5.4 de este documento, en la figura 21 se puede observar la onda de salida de la tensión de este inversor, arbitrariamente se escogieron los siguientes ángulos de conmutación: 40°, 140°, 220° y 320°. El THD para esta forma de onda es de 40.99%, nivel que sobrepasa nuestro parámetro de diseño.

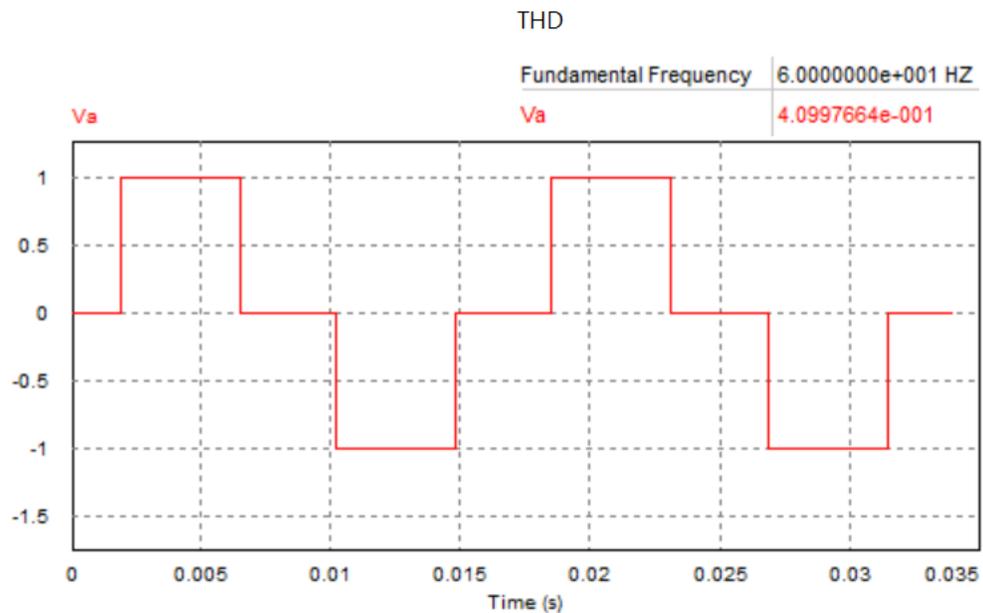
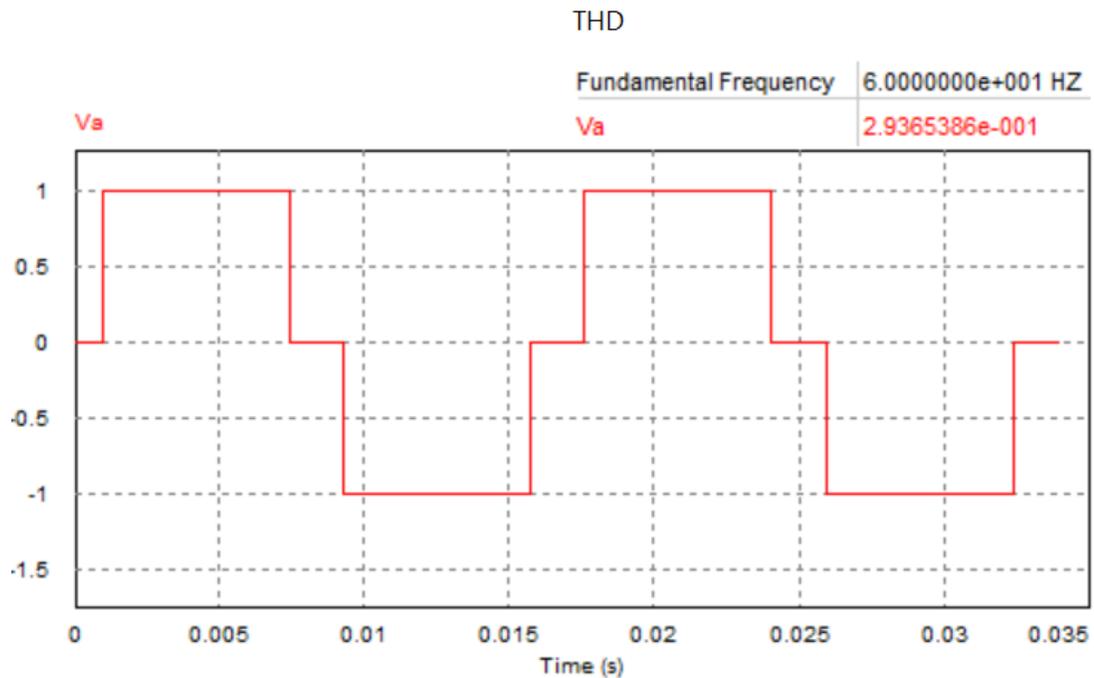


Figura 21 Tensión de salida Inversor de 3 niveles
Fuente: Autor.

Para optimizar los ángulos de conmutación de los dispositivos interruptores, se comparó dicha secuencia con una señal sinusoidal pura, de este modo los dispositivos interruptores conmutan para que la forma de onda de salida sea similar en amplitud y frecuencia a la onda de referencia; esto produjo que el THD de la señal disminuyera tal como se ve en la figura 22; en este caso el THD disminuyó hasta 29.36% parámetro que es superior al deseado, por lo que es necesario aumentar el número de etapas.



*Figura 22 salida de inversor 3 niveles con optimización del ángulo de conmutación
Fuente: Autor.*

El circuito para el inversor multinivel de dos etapas produce 9 niveles en la onda de tensión de salida, este se observa en la figura 23, la secuencia de conmutación de los dispositivos interruptores se encuentra en la tabla 12.

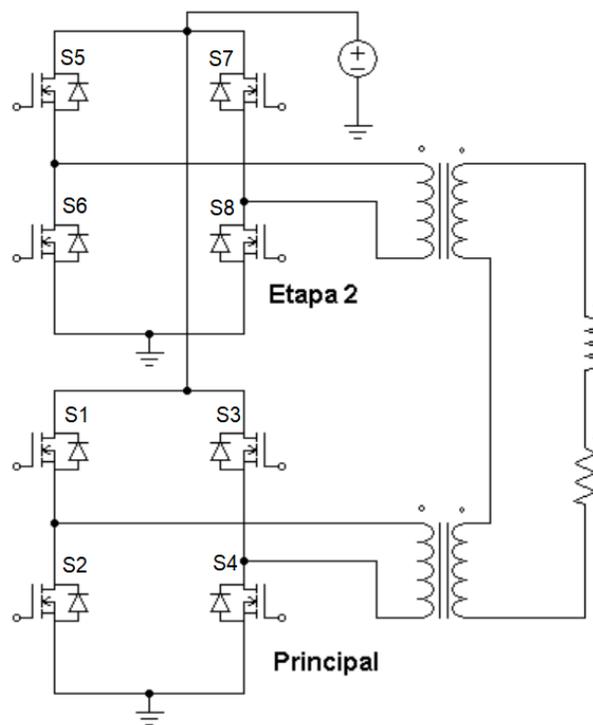


Figura 23 Inversor puente H de 2 etapas 9 niveles
Fuente: Autor.

Tabla 12 Secuencia de conmutación inversor de 2 etapas 9 niveles

Nivel	S1	S2	S3	S4	S5	S6	S7	S8
1	0	1	0	1	1	0	0	1
2	1	0	0	1	0	1	1	0
3	1	0	0	1	0	1	0	1
4	1	0	0	1	1	0	0	1
0	0	1	0	1	0	1	0	1
-1	0	1	0	1	0	1	1	0
-2	0	1	1	0	1	0	0	1
-3	0	1	1	0	0	1	0	1
-4	0	1	1	0	0	1	1	0

En la figura 24 se puede observar la forma de onda del inversor multinivel de 9 niveles donde se evidencia que la onda se asemeja mejor a una onda sinusoidal que en el caso de un inversor de 3 niveles, en este caso el THD disminuyo a 8.98% siendo superior al parámetro de diseño.

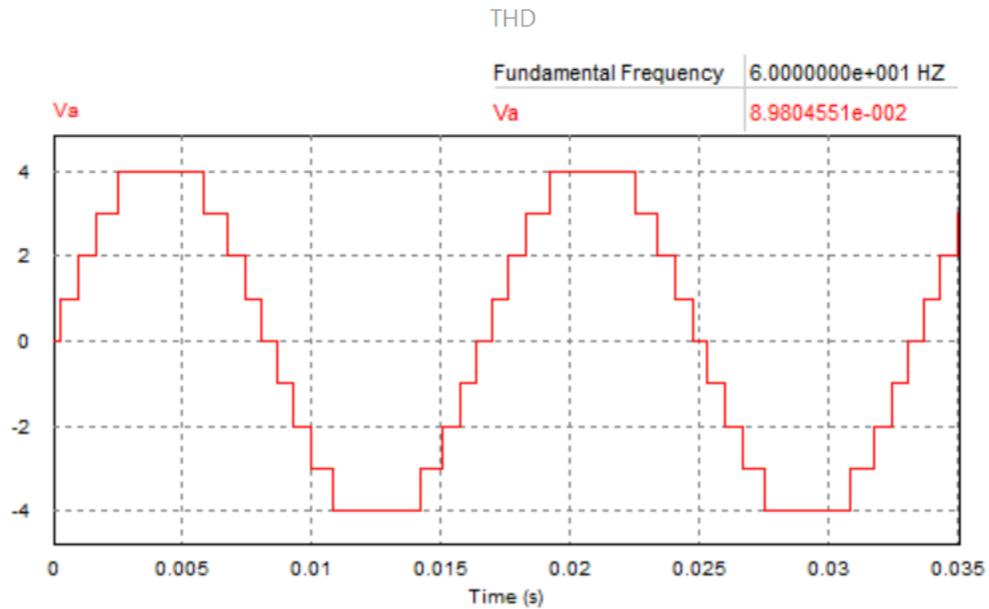


Figura 24 Tensión de salida inductor 2 etapas 9 niveles
Fuente: Autor.

Los estados de conmutación para obtener cada uno de los niveles del inductor multinivel de 3 etapas y 27 niveles se encuentran en la tabla 13, El circuito para este inductor se muestra en la figura 25.

Tabla 13 Estados de conmutación inductor de 3 etapas 27 niveles

Nivel	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10	S11	S12
1	0	1	0	1	0	1	0	1	1	0	0	1
2	0	1	0	1	1	0	0	1	0	1	1	0
3	0	1	0	1	1	0	0	1	0	1	0	1
4	0	1	0	1	1	0	0	1	1	0	0	1
5	1	0	0	1	0	1	1	0	0	1	1	0
6	1	0	0	1	0	1	1	0	0	1	0	1
7	1	0	0	1	0	1	1	0	1	0	0	1
8	1	0	0	1	0	1	0	1	0	1	1	0
9	1	0	0	1	0	1	0	1	0	1	0	1
10	1	0	0	1	0	1	0	1	1	0	0	1
11	1	0	0	1	1	0	0	1	0	1	1	0
12	1	0	0	1	1	0	0	1	0	1	0	1
13	1	0	0	1	1	0	0	1	1	0	0	1
0	0	1	0	1	0	1	0	1	0	1	0	1

-1	0	1	0	1	0	1	0	1	0	1	1	0
-2	0	1	0	1	0	1	1	0	1	0	1	0
-3	0	1	0	1	0	1	1	0	0	1	0	1
-4	0	1	0	1	0	1	1	0	0	1	1	0
-5	0	1	1	0	1	0	0	1	1	0	1	0
-6	0	1	1	0	1	0	0	1	0	1	0	1
-7	0	1	1	0	1	0	0	1	0	1	1	0
-8	0	1	1	0	0	1	0	1	1	0	1	0
-9	0	1	1	0	0	1	0	1	0	1	0	1
-10	0	1	1	0	0	1	0	1	0	1	1	0
-11	0	1	1	0	0	1	1	0	1	0	1	0
-12	0	1	1	0	0	1	1	0	0	1	0	1
-13	0	1	1	0	0	1	1	0	0	1	1	0

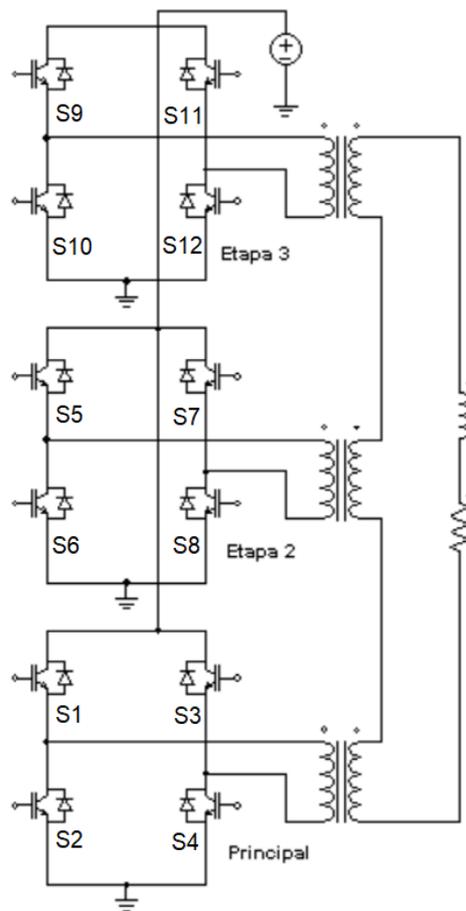
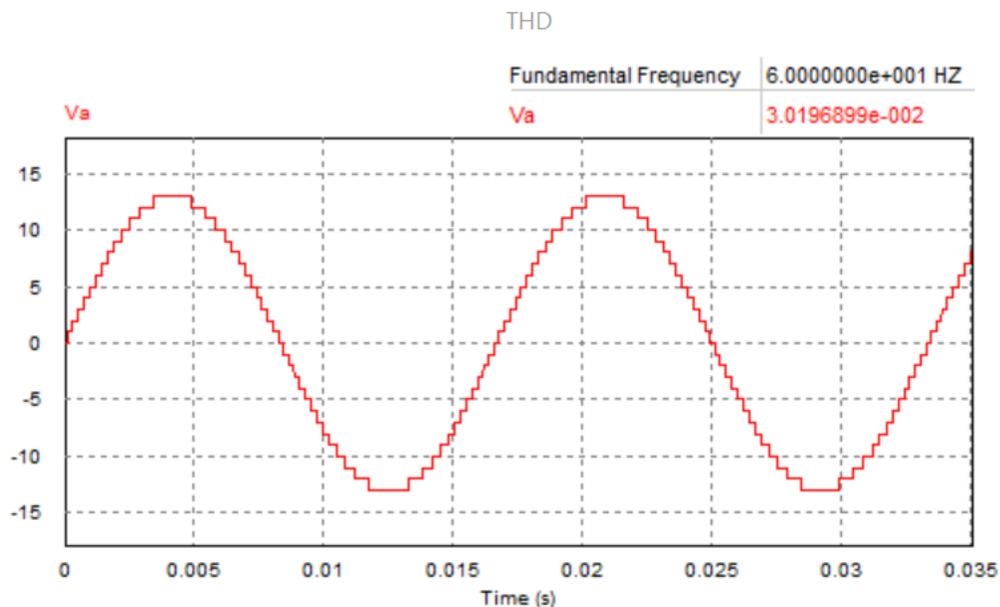


Figura 25 Inversor puente H de 3 etapas 27 niveles
Fuente: Autor.

La forma de onda de salida se puede observar en la figura 26, donde se aprecia que la forma de onda es más parecida a una onda sinusoidal que en los casos anteriores, su THD es de 3.01% lo cual es inferior al parámetro de diseño de 8%, de este modo la topología a implementar en este caso de estudio es un inversor multinivel puente H asimétrico fuente común de 3 etapas y 27 niveles.



*Figura 26 Forma de onda de salida inversor de 27 niveles
Fuente: Autor.*

6.3 Etapa de potencia

6.3.1 Transformadores de salida

Para la implementación se usó la configuración inversor multinivel de puente H en cascada asimétrico de 3 etapas (etapa principal, etapa 2 y etapa 3) 27 niveles (13 niveles positivos, 13 negativos y la referencia) de la figura 25. De la sección 6.3, la salida de la fuente de alimentación de potencia se determinó en 55V; los distintos niveles del inversor se producen por medio de transformadores a la salida de cada puente H, de modo que cada uno tenga relaciones de transformación que garanticen la relación 1:3 entre las salidas de las tres etapas del puente H. Para obtener las relaciones de transformación es necesario obtener los valores de salida de cada etapa, estos se obtienen tomando como referencia la amplitud de salida deseada,

de la sección 6.1 $V_p=179.6V$; la etapa principal es la que mayor tensión a la salida ofrece, por lo que asumirá la mayor carga de potencia, la relación de tensión con respecto a la etapa 2 es de 3:1 y con respecto a la etapa 3 esta relación es 9:1. La tensión de salida de la etapa de menor potencia, en este caso la etapa 3, se obtiene dividiendo la tensión de salida deseada entre el número de niveles a la salida del inversor:

$$V_{E_3} = \frac{V_p}{\# \text{ niveles}} = \frac{179.6 V}{13} = 13.815 V$$

Teniendo en cuenta la relación de la asimetría entre etapas, la tensión en la etapa 2 es:

$$V_{E_2} = 3 * V_{E_3} = 3 * 13.815 V = 41.447 V$$

La tensión de salida en la etapa principal es:

$$V_{E_1} = 3 * V_{E_2} = 3 * 41.447 V = 124.342 V$$

En este sentido la suma de las tensiones de las tres etapas es la amplitud de la onda de salida deseada.

$$V_p = V_{E_1} + V_{E_2} + V_{E_3} = 124.342 V + 41.447 V + 13.815 V = 179.6 V$$

Los dispositivos interruptores deberán escogerse de manera que su caída de tensión sea mínima, por lo tanto, se asume que la tensión de salida de cada etapa del inversor es la misma de la fuente común, es decir 55V, que será la tensión de entrada de los transformadores de salida; las relaciones de transformación para dichos transformadores son:

$$N_{E_ppal} = \frac{V_{in}}{V_{E_ppal}} = \frac{55 V}{124.342 V} = 0.442$$

$$N_{E_2} = \frac{V_{in}}{V_{E_2}} = \frac{55 V}{41.447 V} = 1.326$$

$$N_{E_3} = \frac{V_{in}}{V_{E_3}} = \frac{55 V}{13.815 V} = 3.981$$

El circuito de potencia implementado se observa en la figura 27, la forma de onda de salida del mismo se observa en la figura 28, el THD es de 3.01%.

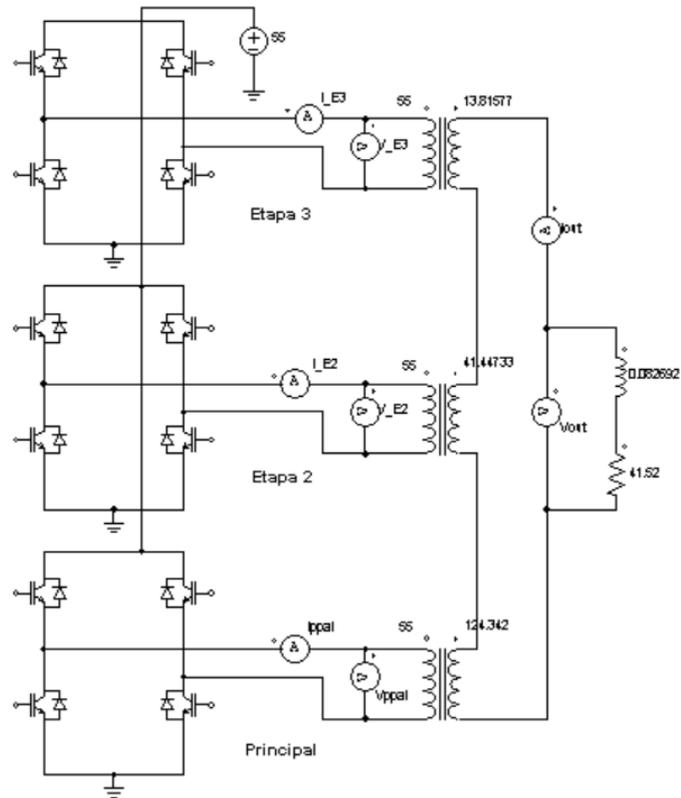


Figura 27 circuito de potencia inversor multinivel de 27 niveles
Fuente: Autor.

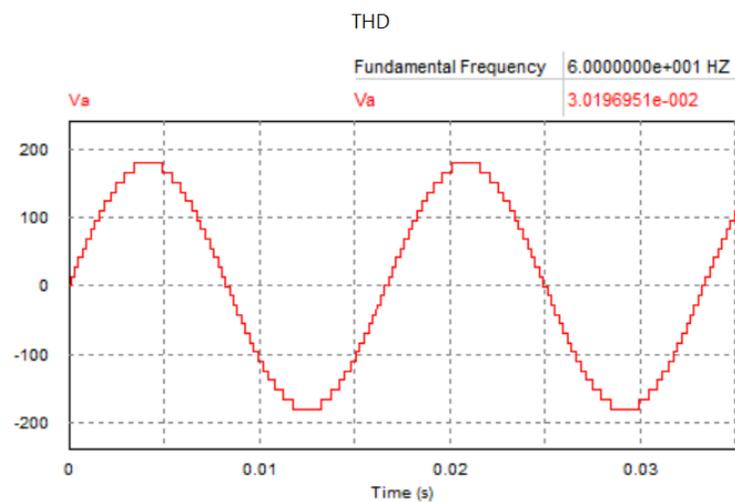


Figura 28 Tensión de salida inversor 27 niveles
Fuente: Autor.

El software Powersim permite obtener las mediciones de potencia activa a la entrada de cada uno de los transformadores de salida del inversor multinivel; los valores de la potencia de salida del inversor y las potencias en el primario de los transformadores de salida se encuentran listadas en la tabla 14, la tabla 15 resume las características de los transformadores usados en la implementación.

Tabla 14 Potencia de salida del lado primario en los transformadores de salida del inversor

Real Power	
Time From	1.0000000e-006
Time To	3.5000000e-002
<i>I_{out} vs. V_{out}</i>	<i>2.4592562e+002</i>
<i>I_{ppal} vs. V_{ppal}</i>	<i>2.0344520e+002</i>
<i>I_{E2} vs. V_{E2}</i>	<i>3.7255832e+001</i>
<i>I_{E3} vs. V_{E3}</i>	<i>5.2293018e+000</i>

Tabla 15 Resumen de características de transformadores para el inversor multinivel

Transformador	Relación de Transformación	Potencia Activa	Tipo
Etapa Principal	55/124.3	210 W	Elevador
Etapa 2	55/41.4	40 W	Reductor
Etapa 3	55/13.8	10 W	Reductor

6.3.2 Dispositivos de control de potencia

La figura 29 compara los principales dispositivos controladores de potencia con respecto a su capacidad de potencia y su frecuencia de operación, se puede observar que los tiristores son adecuados para manejar potencias elevadas mayores a 10 MVA, pero están diseñados específicamente para frecuencias de operación bajas inferiores a 100 Hz; al otro extremo de la gráfica se encuentran los MOSFET los cuales funcionan óptimamente a frecuencias de conmutación muy elevadas llegando a los 100 MHz, pero con capacidades de potencia reducidas,

comúnmente inferiores a 1 kVA. De los dispositivos encontrados en la figura 29 se evaluaron los tres elementos dispositivos de control de potencia más asequibles en el mercado local los cuales son: BJT, IGBT y MOSFET.

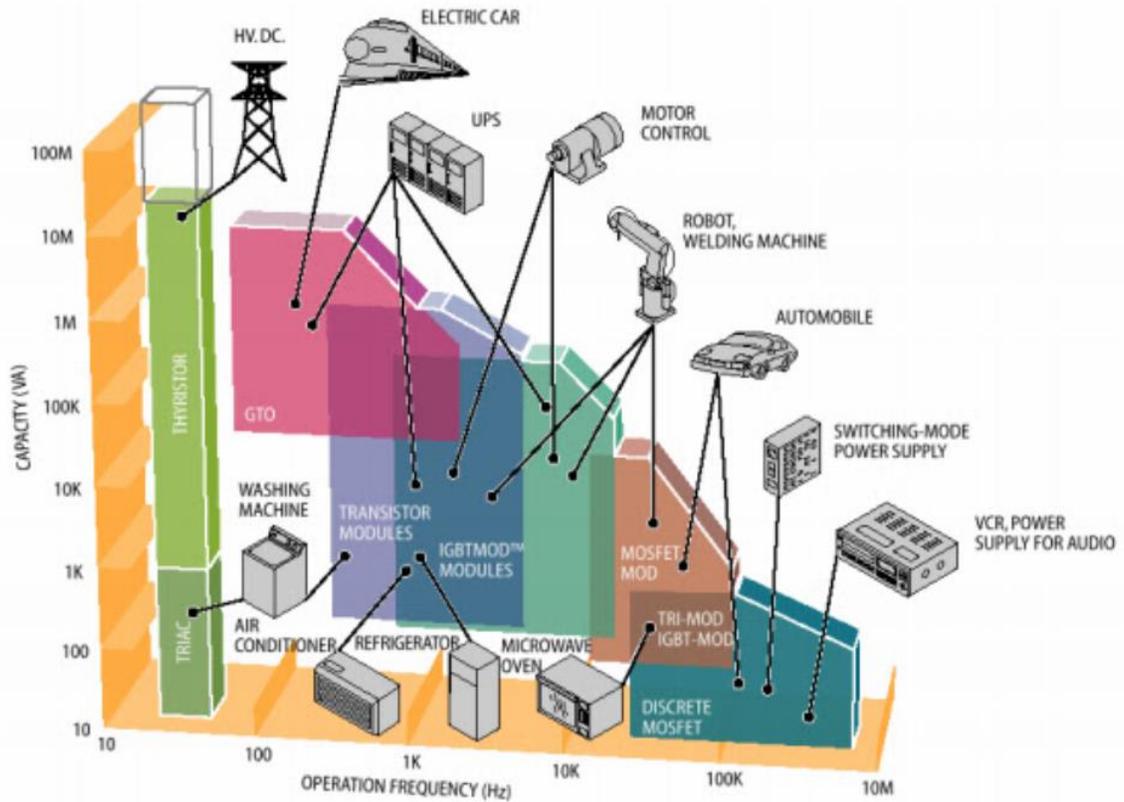


Figura 29 Dispositivos de electrónica de potencia y aplicaciones
Fuente: *Electrónica de potencia circuitos, dispositivos y aplicaciones* [11]

Algunas características de los dispositivos de electrónica de potencia se muestran en la tabla 16, como ventaja de los MOSFET y los IGBT se observa que su activación es por tensión, por lo tanto, tienen un mínimo consumo de potencia en su disparo, la ventaja del circuito de mando de estos dispositivos es menor que en el caso de los BJT, las pérdidas en conmutación son muy bajas en el MOSFET comparado con los BJT e IGBT; de esta manera los dispositivos apropiados para trabajar son los MOSFET o los IGBT. Los MOSFET son elementos que funcionan a muy altas frecuencias de conmutación, pero los IGBT manejan potencias más elevadas que los MOSFET, en nuestro caso de estudio se maneja una potencia baja: 250 W, por lo que cualquiera de los dos elementos es apropiado para la

aplicación, una ventaja importante de los MOSFET comparado con el IGBT es su costo de adquisición en el mercado local, siendo el IGBT hasta 6 veces más costoso; de este modo el dispositivo de electrónica de potencia usado en el caso de estudio será el MOSFET.

Tabla 16 Características de dispositivos de electrónica de potencia

	Dispositivos					
	DIODO	SCR	GTO	BJT	MOSFET	IGBT
Características de disparo	-----	Corriente	Corriente	Corriente	Tensión	Tensión
Potencia del circuito de mando	-----	Media - alta	Alta	Media - alta	Muy baja	Muy baja
Complejidad del circuito de mando	-----	Baja	Alta	Alta	Muy baja	Muy baja
Densidad de corriente	Media - alta	Alta	Media - alta	Media	Alta - baja	Alta
Máxima tensión inversa	Media - alta	Alta	Alta	Baja - media	Media - alta	Media - alta
Perdidas en conmutación	Baja - media	Alta	Alta	Media - alta	Muy baja	Media - alta

Los MOSFET poseen tres terminales los cuales son: drenador, surtidor y compuerta; estos dispositivos pueden comportarse como una resistencia controlada por tensión si se ubican en la zona de operación ohmica, esto si se garantiza que la tensión entre la compuerta y el surtidor sea mayor al parametro $V_{GS(th)}$ que se encuentra en su hoja de características; para el caso de estudio se seleccionaron los MOSFET de las tres etapas de igual referencia, tomando como base la etapa de mayor potencia, es decir, la etapa principal, de la potencia registrada en la tabla 14 para la etapa principal, la corriente continua de drenador para los MOSFET es:

$$I_{D_ppal} = \frac{P_{E_ppal}}{V} = \frac{203.4 \text{ W}}{55 \text{ V}} = 3.69 \text{ A}$$

$$I_{D_E2} = \frac{P_{E_2}}{V} = \frac{37.25 \text{ W}}{55 \text{ V}} = 0.677 \text{ A}$$

$$I_{D_E3} = \frac{P_{E_3}}{V} = \frac{5.22 \text{ W}}{55 \text{ V}} = 94.9 \text{ mA}$$

Para el caso de estudio es necesario usar un MOSFET con una $I_D = 5A$ o superior, se escogió el MOSFET de referencia IRF540N, sus características son [17]:

- Resistencia drenador surtidor en conducción $R_{DS(on)} = 44\ m\Omega$
- Tensión compuerta surtidor $V_{GS(th)} = 4\ V$
- Tensión drenador surtido máxima $V_{DSS} = 100\ V$
- Tiempo de encendido $t_{d(on)} = 11\ ns$
- Tiempo de apagado $t_{d(off)} = 39\ ns$

Aunque los MOSFET poseen diodos internos de protección contra corrientes inversas, se decidió incluir estos diodos de forma externa, disminuyendo la disipación de potencia al interior del encapsulado del MOSFET.

6.4 Etapa de acondicionamiento

6.4.1 Dispositivos drivers para el puente H

Los MOSFET son dispositivos que se accionan por medio de tensión, se debe garantizar que la tensión entre los terminales compuerta y surtidor sea mayor a 4V en el caso del IRF540N; esta tensión es fácilmente obtenida para disparar los 2 MOSFET de la parte baja de cada puente H, pero cuando los MOSFET de la parte alta conducen ubicados en la zona óhmica, se comportan idealmente como interruptores o cortocircuitos (figura 30), en realidad se comportan como resistencias de 44mΩ, por lo tanto la tensión en surtidor será aproximadamente la misma que en el drenador.

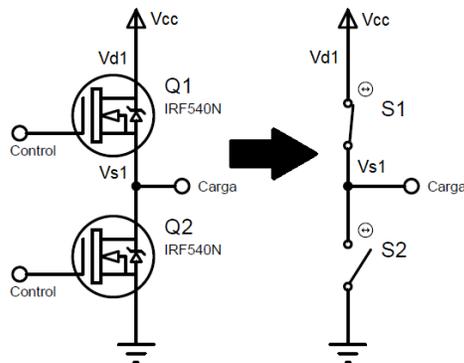


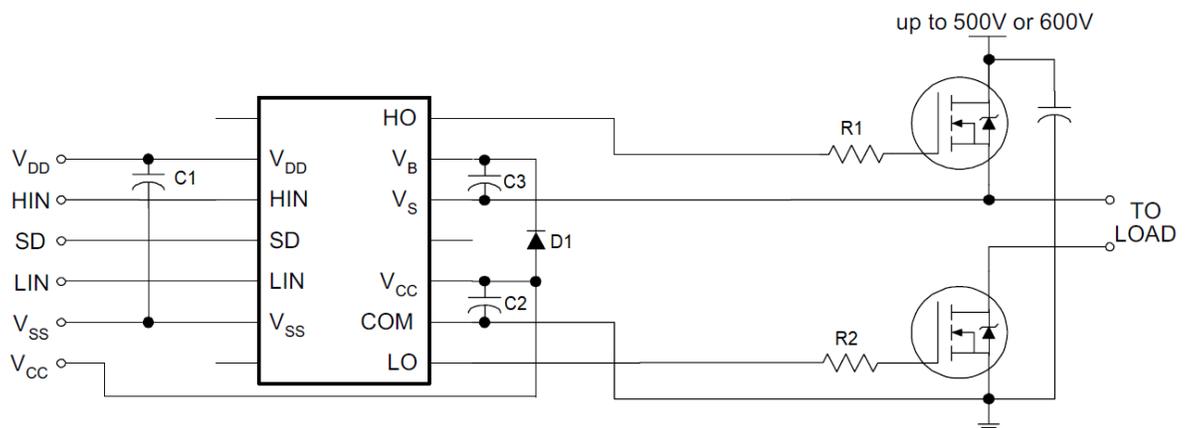
Figura 30 Circuito equivalente medio puente H

Fuente: Autor

Para activar los MOSFET de la parte alta se necesitaría una tensión mayor al menos 4V a la tensión del bus de DC que alimenta al puente H, en el caso de estudio esta tensión deberá ser mayor a 59V; para efectos prácticos es poco conveniente fabricar esta fuente de tensión ya que representaría un costo adicional en el proyecto. Una solución conveniente es el uso de drivers que permitan activar fácilmente los MOSFET del lado alto; el IR2110 es un driver de alta velocidad adecuado para el disparo de la parte alta y baja del puente H, adecuado para activar IGBT y MOSFET de canal N, algunas de sus características se mencionan a continuación [18]:

- Canal flotante diseñado para operación bootstrap
- Tensión máxima del puente H 500V
- tolerante a transitorios de tensión dv/dt
- compatible con entradas lógicas de 3.3V
- Tensión de alimentación entre 10V y 20V
- Retardo entre la señal de entrada y salida 10ns

El circuito típico de este driver se puede observar en la figura 31 y es provisto por International rectifier:



*Figura 31 Conexión típica para IR2110
Fuente: International Rectifier [18]*

El condensador c1 permite disminuir el rizado de la referencia de tensión a la entrada del driver, la cual se conecta entre la referencia positiva pin 9 y la tierra de referencia en el pin 13, el condensador c2 permite disminuir el rizado en la

alimentación del driver; se debe garantizar que el diodo D1 sea de recuperación rápida, por lo cual se escogió el FR257, el cual tiene las siguientes características principales [19]:

- Tiempo de recuperación de 250ns
- Tensión inversa de hasta 1Kv
- Corriente en conducción promedio de 2.5A
- Corriente transitoria hasta 100A para tiempos inferiores a 8.3ms

El IR2110 es un driver que permite implementar la configuración bootstrap o bomba de carga, mediante la cual se carga al capacitor C3 con la tensión del surtidor del MOSFET de la parte alta y posteriormente le adiciona la tensión de alimentación Vcc del driver, la suma de estas dos tensiones es la que el driver envía a la compuerta del MOSFET de la parte alta, garantizando que la tensión en la compuerta sea mayor a la tensión del surtidor Vcc voltios. El valor de capacitancia de C3 debe calcularse de acuerdo a la frecuencia de conmutación del MOSFET, para determinarla se siguieron las pautas dadas por el fabricante en la nota de aplicación AN-978 de International rectifier [20], de esta manera:

$$C_3 \geq \frac{2 \left[2Qg + \frac{I_{qbs(max)}}{f} + Q_{ls} + \frac{I_{cbs}}{f} \right]}{V_{cc} - V_f - V_{ls} - V_{min}}$$

Donde:

Qg: Carga en la puerta MOSFET del lado alto

Qls: Carga en la puerta del MOSFET del lado bajo

f: Frecuencia de operación.

Icbs: Corriente de fuga del capacitor de Bootstrap.

Iqbs: Máxima corriente de reposo.

Vcc: Voltaje de alimentación.

Vf: Caída de voltaje en el diodo de Bootstrap.

Vls: Caída de tensión en el lado bajo del driver.

VMin: Tensión mínima entre VB y VS.

De acuerdo a la hoja de características del driver y del MOSFET la capacitancia de C3 es:

$$C3 \geq 0.629\mu F$$

La recomendación del documento de aplicación es que el capacitor C3 sea al menos 10 veces mayor al calculado, por lo que C3 se le asignó una capacitancia de 10 μ F.

6.4.2 Circuito de aislamiento galvánico

Para acoplar el circuito digital al circuito de potencia se propuso utilizar un acople óptico, de esta manera se mantiene la transmisión de las señales de activación de una etapa a otra aislando el circuito eléctricamente, evitando que posibles fallas o transitorios de tensión puedan afectar el circuito de control. El elemento asignado es el 6N137 de Vishay semiconductor el cual es un opto acoplador de alta velocidad, el circuito implementado para el optoacoplador se visualiza en la figura 32, el 6N137 posee las siguientes características [21]:

- Alta velocidad 10 MBd
- Funcionamiento bajo requerimientos del estándar IEC 60068-2-42
- Baja entrada de corriente 5mA
- Compatibilidad CMOS +5V

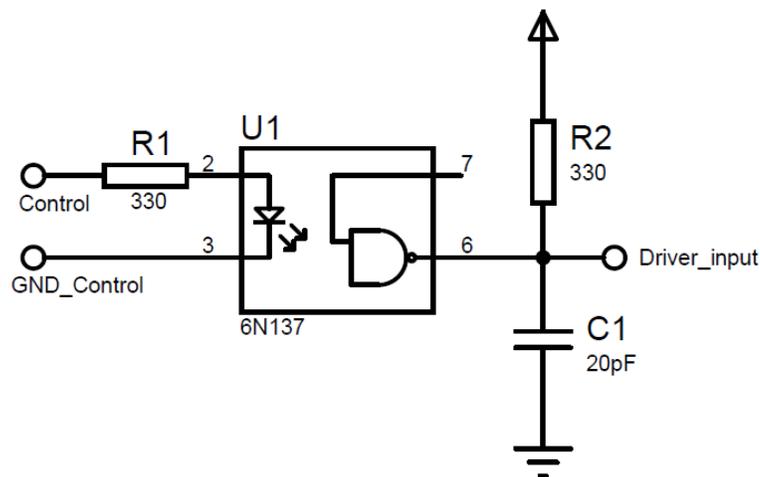


Figura 32 Circuito de aislamiento óptico
Fuente: Autor

Este opto acoplador posee internamente un diodo de bajo consumo y un fotodiodo acoplado a un transistor Schottky con salida negada por medio de una compuerta lógica NAND; el encapsulado garantiza inmunidad ante transitorios de hasta $5\text{kV}/\mu\text{s}$. la resistencia R1 de 330Ω limita la corriente que atraviesa el diodo interno del optoacoplador, R2 de 330Ω y C1 de 20 pF garantizan niveles altos y bajos a la salida del optoacoplador.

6.4.3 Fuentes de alimentación para la etapa de acondicionamiento

Es necesario implementar fuentes de alimentación para los dispositivos driver y los optoacopladores, los primeros permiten su alimentación entre 10V y 20V ; los optoacopladores requieren de 5V de alimentación, por lo que se construyó una fuente de alimentación regulada con salidas de 15V y 5V , usando los reguladores LM7815 y LM7805 [22], los cuales ofrecen tensiones a la salida de 15V Y 5V respectivamente soportando corrientes máximas de operación de 1.5 A ; el circuito implementado se muestra en la figura 33.

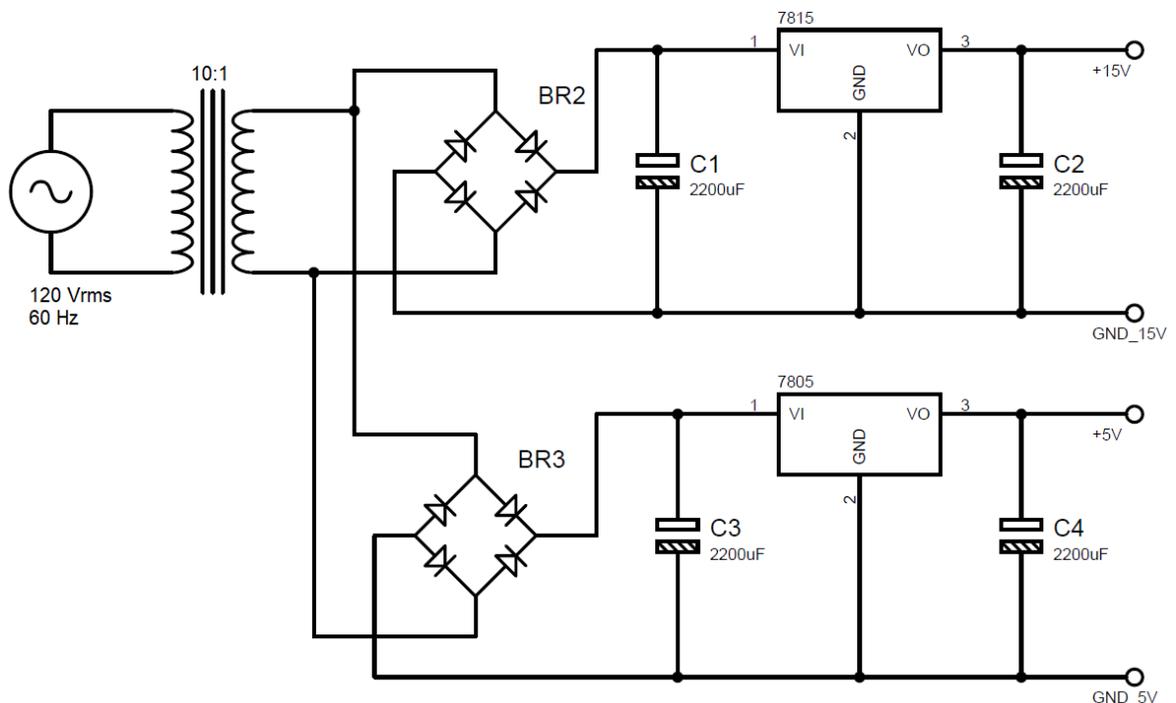


Figura 33 Fuente de alimentación etapa de acondicionamiento
Fuente: Autor

El transformador seleccionado es reductor de relación 10:1 con potencia de 12W ampliamente difundido en el mercado local, el puente rectificador es el 2W10 de 1A, los condensadores C1, C2, C3 y C4 usados para disminuir el rizado se establecieron de 2200 μ F.

6.5 Circuito de acondicionamiento y potencia

La figura 34 muestra el circuito completo de acondicionamiento y de potencia para una etapa del inversor multinivel, cabe recordar que este circuito es el mismo para las 3 etapas implementadas, su diferencia radica en la etapa de transformación a la salida para producir las relaciones de tensión 1:3 en cada etapa.

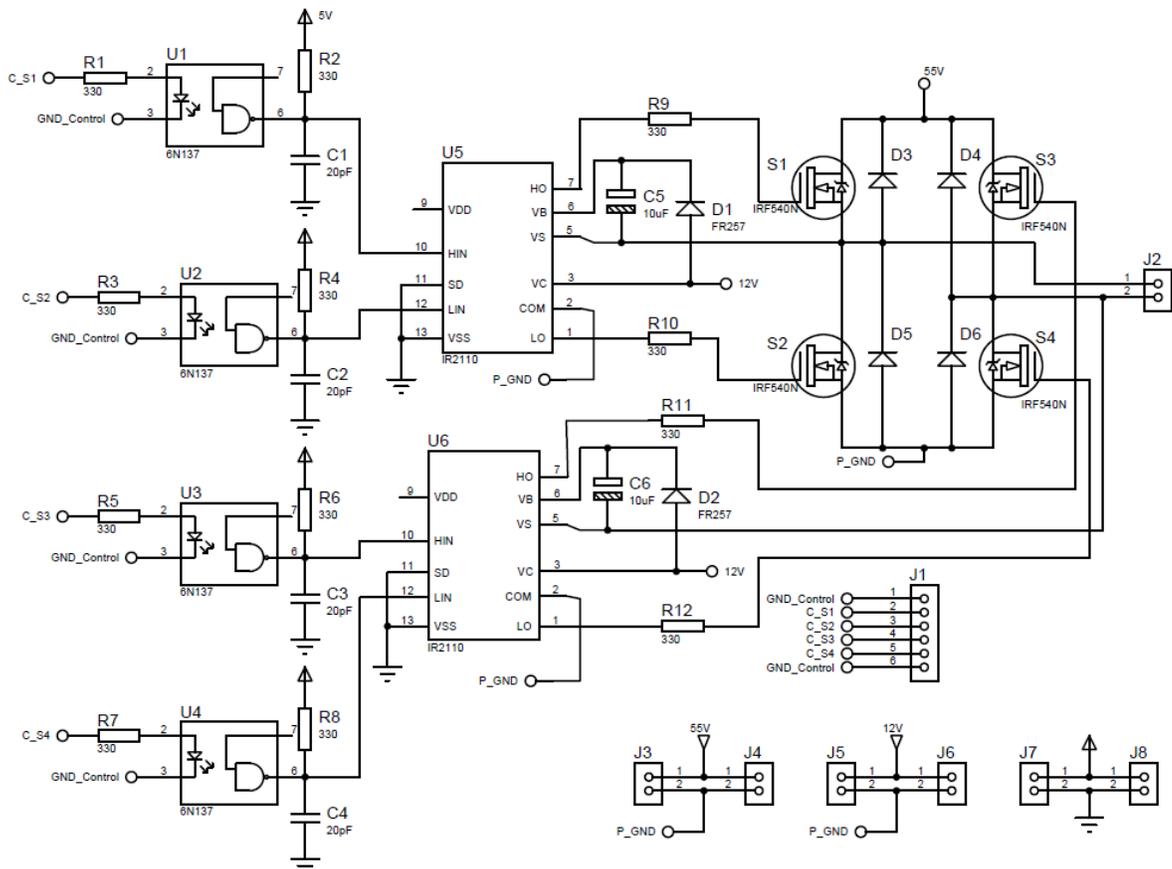


Figura 34 Circuito de acondicionamiento y potencia para puente H
Fuente: Autor

Se debe notar que el circuito posee 3 tierras o referencias de 0 V, las cuales deben estar galvánicamente aisladas, de esta manera, una referencia en el dispositivo controlador de los disparos compartida con la entrada de los optoacopladores, otra referencia a la salida de los optoacopladores y a la entrada de los drivers y una tercera referencia a la salida del driver compartida con el puente H; de esta manera se garantiza que la etapa de control no ingrese transitorios a la etapa de potencia, lo que se evidenciaría como muescas de tensión o transitorios impulsivos en la onda de salida del inversor multinivel.

6.6 Cálculos térmicos

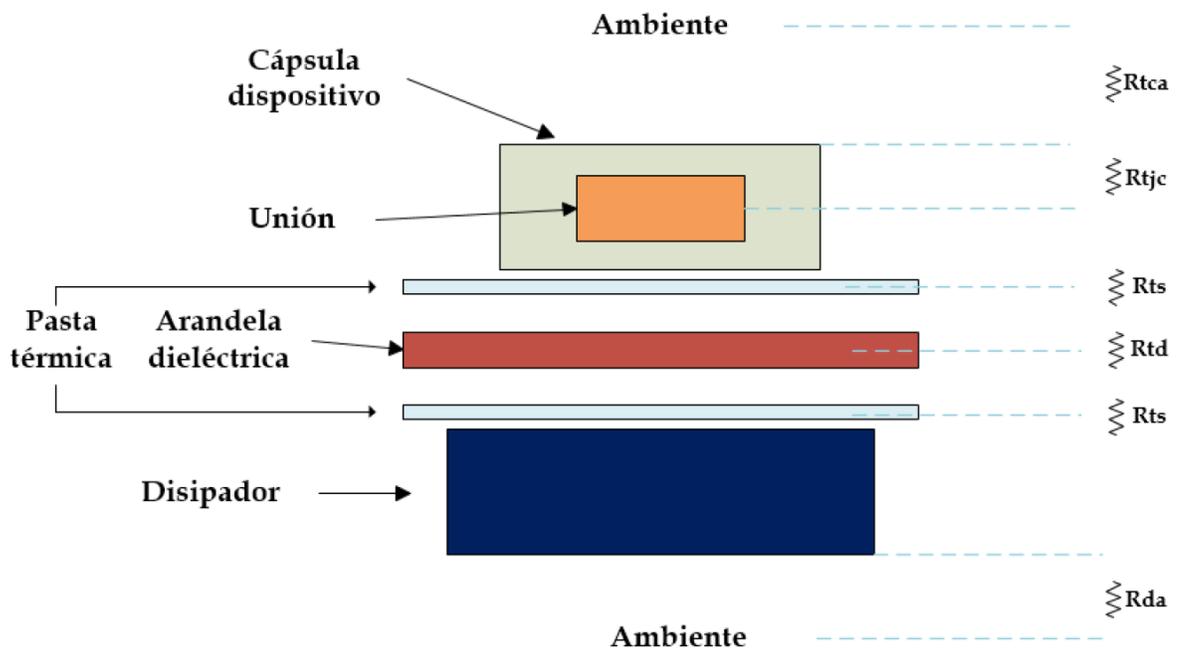
Los dispositivos semiconductores como los MOSFET, reguladores de tensión BJT entre otros, manejan potencias de cierta magnitud y su tamaño suele ser pequeño. Por efecto Joule, cualquier cuerpo que conduce corriente eléctrica pierde parte de su energía en forma de calor. En los semiconductores, este calor se genera en la unión PN y si la temperatura pasara de un límite provocaría la fusión térmica de la unión [23].

En dispositivos de potencia reducida, la superficie de los mismos es suficiente para evacuar el calor hacia el ambiente, manteniendo un flujo térmico que evita la destrucción de la unión. en dispositivos de mayor potencia la superficie del componente no es suficiente para mantener el flujo térmico necesario y se debe ampliar la zona de radiación mediante disipadores o heatsinks, en algunas ocasiones es necesario apoyar este proceso por medio de ventiladores.

Las tres formas básicas de trasmisión de calor son: radiación, convección y conducción; la *resistencia térmica* es la oposición que ofrece un cuerpo al paso de un flujo calorífico cuyas unidades son °C/W; los diferentes tipos de resistencias térmicas presentes en un semiconductor pueden ser:

- Rjc resistencia térmica unión-capsula
- Rcd resistencia térmica capsula disipador
- Rda resistencia térmica disipador ambiente

T_j es la temperatura máxima de la unión y T_a es la temperatura ambiente, normalmente estos parámetros vienen listados en las hojas de características ofrecidas por los fabricantes para los dispositivos semiconductores [23]. la figura 35 muestra el modelo físico del conjunto dispositivo - disipador.



*Figura 35 Modelo físico del conjunto dispositivo – disipador
Fuente: Disipadores térmicos para dispositivos electrónicos*

6.6.1 Modelo eléctrico del conjunto dispositivo – disipador

La temperatura de la unión debe ser inferior a la temperatura máxima que nos indica el fabricante.

$$T_j \leq T_j - T_a = w * R_{ja}$$

Donde w es la potencia disipada por el dispositivo y R_{ja} es la suma de las resistencias térmicas existentes entre la unión y el ambiente, de acuerdo a la figura 36, haciendo un LVK se tiene que:

$$R_{da} = \left(\frac{T_{jmax} - T_a}{w} \right) - R_{jc} - R_{cd}$$

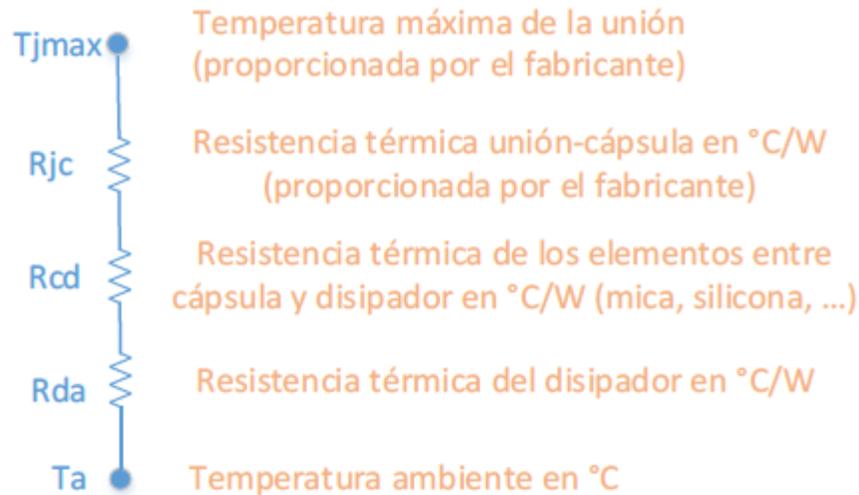


Figura 36 Modelo eléctrico del conjunto dispositivo – disipador
 Fuente: Disipadores térmicos para dispositivos electrónicos

Se determinará si los elementos que disipan gran potencia necesitan la instalación de disipadores de calor, entre estos elementos están los MOSFET, regulador de tensión, transistores y puente rectificador de la fuente de alimentación de potencia, los demás elementos consumen potencias muy pequeñas como para ser considerados en este análisis; para todos los análisis se consideró una temperatura ambiente de 30°C, es decir, $T_a = 30^\circ\text{C}$. La temperatura del dispositivo es:

$$T_j = T_a + w * R_{ja}$$

Despejando la expresión anterior se puede obtener la potencia disipada máxima que el dispositivo puede soportar sin necesidad de disipador, por lo tanto:

$$w \leq \frac{T_j - T_a}{R_{ja}}$$

6.6.2 Cálculos térmicos MOSFET IRF540N

Los datos obtenidos de la hoja de características del IRF540N son [17]:

$$T_j = 175^{\circ}C$$

$$R_{ja} = 62^{\circ}C/W$$

Su potencia disipada máxima sin usar disipador es:

$$w \leq \frac{175^{\circ}C - 30^{\circ}C}{62 \frac{^{\circ}C}{W}} \leq 2.33 W$$

Teniendo en cuenta la sección 6.4.2 de este documento, la potencia disipada de los MOSFET de la etapa principal cuando están en conducción es.

$$P_{D_ppal} = I_{DS}^2 * R_{DS(on)} = 3.69A^2 * 44m\Omega = 0.599 W$$

Esta será la potencia disipada en el peor caso de operación, por lo tanto, el MOSFET no requiere la instalación de disipador de calor; debido a que la etapa principal es la etapa que aporta la mayor potencia al inversor multinivel, no es necesario realizar los cálculos térmicos para las etapas 2 y 3, ya que se obtendrán resultados inferiores al anterior, por lo que los MOSFET de estas etapas tampoco requerirán de disipadores de calor.

7. CONTROL DE ACTIVACION DE LOS DISPOSITIVOS INTERRUPTORES

7.1 Dispositivo controlador

Para el control de activación de los MOSFET de cada etapa del inversor multinivel, se escogió la placa de desarrollo Arduino MEGA, algunas de sus características de listan en la tabla 17.

Tabla 17 Especificaciones técnicas Arduino MEGA

Microcontrolador	ATmega2560
Tensión de funcionamiento	5V
Voltaje de entrada	7-12V
Pines de E/S digitales	54 (15 PWM)
Pines de entrada analógica	16
Corriente DC por Pin E/S	20 mA
Corriente DC para Pin 3.3V	50 mA
Memoria flash	256 KB
SRAM	8 KB
EEPROM	4 KB
Velocidad de reloj	16 MHz
LED_BUILTIN	13
Longitud	101.52 mm
Anchura	53.3 mm
Peso	37 g

Esta placa de desarrollo es de código abierto y posee el compilador Arduino IDE, su versión más reciente es la 1.8.5 la cual se puede descargar gratuitamente desde la web del fabricante; esta plataforma de programación está orientada a simplificar la programación de las aplicaciones ofreciendo muchas facilidades al momento de

programar, además de diversas librerías disponibles en la web para un sinnúmero de aplicaciones, en este sentido el compilador es ideal para nuevos programadores; como desventaja limita algunas características propias del microcontrolador usado, en nuestro caso el Atmega 2560.

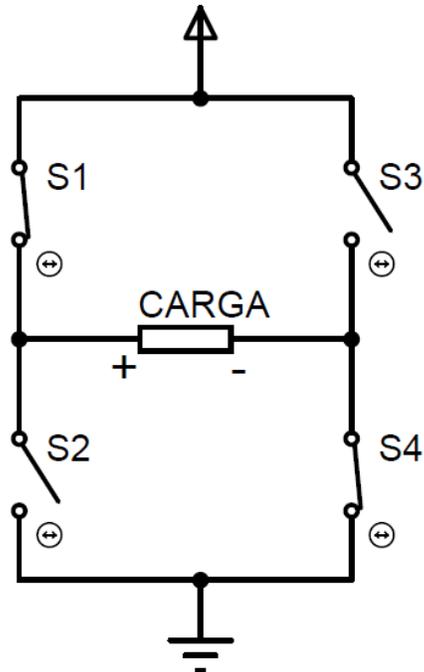
El compilador Arduino IDE ofrece instrucciones sencillas para el manejo de los tiempos pero que en la mayoría de ocasiones no son completamente exactas; lo cual presenta un serio inconveniente ya que es sumamente importante garantizar precisión en los tiempos de activación de los MOSFET de las etapas del inversor multinivel, ya que esto incidirá directamente en la distorsión de la forma de onda y la frecuencia de la onda de salida; una solución precisa es la programación de los tiempos de disparo de los MOSFET desde lenguaje ensamblador, en este tipo de lenguaje el manejo de los tiempos es mucho más preciso debido a que se trabaja con ciclos de máquina, la duración de los cuales es fácilmente calculable por medio de la frecuencia del cristal usado en la aplicación, lastimosamente el compilador Arduino IDE no permite la inclusión de código de dicho lenguaje dentro del código de programación.

El fabricante del microcontrolador Atmega 2560 ofrece desde su web el compilador Atmel Studio 7.0, el cual permite la inclusión de este tipo de lenguaje en su código de programa, de esta manera es el compilador seleccionado para la implementación del inversor multinivel.

7.2 Tiempo muerto

Se debe recordar que los MOSFET de un mismo lazo de un puente H no pueden estar activos en el mismo instante de tiempo; tomando como referencia la figura 37 se concluye que si dichos MOSFET se encontraran activos en el mismo instante de tiempo se produciría un corto circuito en la fuente de alimentación de potencia, por lo que es imprescindible evitar sus estados de activación simultáneos. De la hoja de

características del IRF540N se puede obtener los datos de tiempos de encendido y apagado de este dispositivo [17], los cuales son: $t_{d(on)} = 11 \text{ ns}$, $t_{d(off)} = 39 \text{ ns}$.



*Figura 37 Puente H con interruptores ideales
Fuente: Autor*

La figura 37 muestra un puente H conformado por interruptores ideales, en el cual se encuentran activos los interruptores S1 y S4 de manera que el flujo de potencia en la carga es de izquierda a derecha convencionalmente con la polaridad mostrada. Si se requiere invertir el flujo de potencia a través de la carga es necesario desactivar S1 y S4, y activar S2 y S3; teniendo en cuenta este circuito y los tiempos de encendido y apagado del MOSFET usado, se evidencia que no es posible cambiar los estados en los MOSFET de un mismo lazo, en un mismo instante de tiempo, es decir, desactivar S1 y activar S2 en el mismo instante de tiempo. La figura 38 muestra el cambio de estado de los MOSFET S1 y S2, dicho cambio ocurrió en $t=10 \text{ ns}$, puede observarse que los dos MOSFET se mantienen en conducción por aproximadamente 30 ns , lo cual producirá un cortocircuito en la fuente de alimentación que usualmente daña los MOSFET.

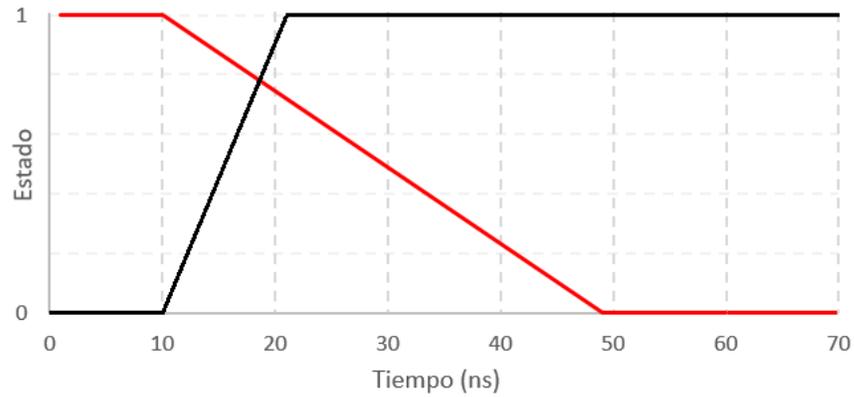


Figura 38 Tiempos T_{ON} y T_{OFF} MOSFET del medio puente S1 (rojo) S2 (negro)
Fuente: Autor

Para evitar el cortocircuito durante el periodo de tiempo en que las dos señales de conmutación se traslapan, se debe ingresar en el circuito un tiempo muerto, el cual es un retardo para garantizar que los MOSFET que se encuentran en el mismo lazo de circuito no conduzcan durante el mismo instante de tiempo; en el caso de estudio este retardo representa la diferencia entre los T_{OFF} y T_{ON} , es decir, 28ns. Dicho retardo puede implementarse por medio de hardware como se puede observar en la figura 39.

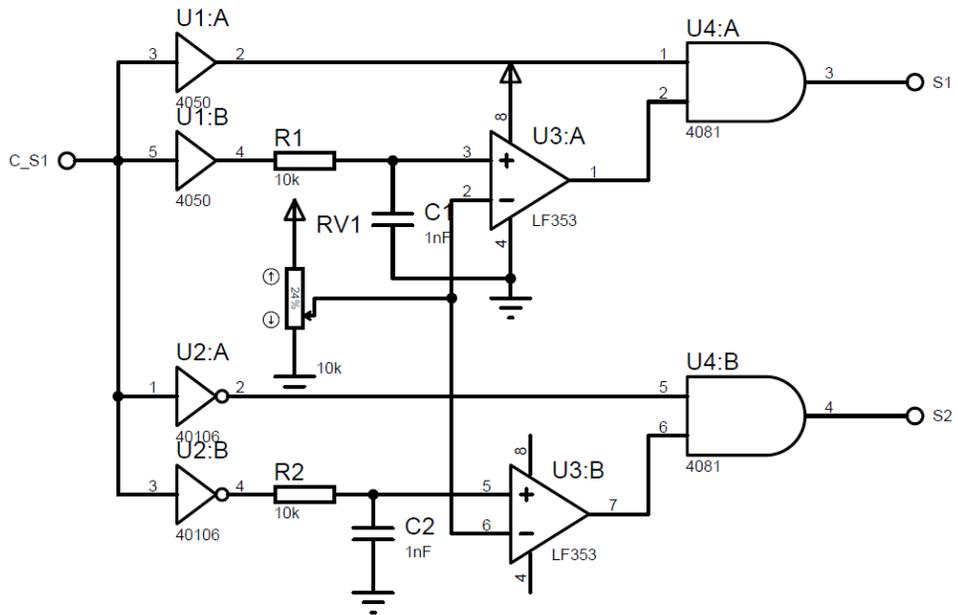


Figura 39 Circuito tiempo muerto
Fuente: Autor

El circuito se construye a base de compuertas lógicas y amplificadores operacionales; el tiempo muerto puede graduarse por medio de la resistencia variable RV1, aumentando o disminuyendo la constante de tiempo del capacitor C1; este circuito presenta la particularidad que solo necesita una salida de control para producir las dos salidas que controlaran los dispositivos del medio puente H.

Otra opción es implementar el tiempo muerto por medio de software, de este modo se enviaría la orden de desactivación del primer MOSFET se ejecutaría un pequeño retardo y posteriormente se daría la orden de encender el segundo MOSFET. Teniendo en cuenta que el Arduino MEGA cuenta con un cristal de 16 MHz, el tiempo que dura en ejecutarse una línea de código en lenguaje ensamblador es:

$$ciclo = \frac{1}{16 \text{ MHz}} = 62.5 \text{ ns}$$

Este tiempo es mayor al tiempo de retardo mínimo anteriormente calculado, por lo que solo bastara con un ciclo de máquina de retardo para generar el tiempo muerto, en este caso se necesitara una salida de control para cada MOSFET del puente H. debido a que el tiempo muerto por medio de software no requiere circuito adicional, se minimizan los componentes del circuito final disminuyendo las probabilidades de fallo del mismo, además que implicaría un diseño más complejo en el circuito impreso; por estas razones se escogió la implementación de este tiempo muerto por medio de software.

7.3 Programación de la secuencia de activación

Cada etapa del inversor multinivel tiene una ponderación relacionada con el nivel de potencia que esta entrega a la salida, y también relacionada con la relación de la asimetría 1:3 de cada etapa; en este sentido la etapa 3 tiene una ponderación igual a 1, la etapa 2 tiene una ponderación igual a 3 y la etapa principal tiene una ponderación igual a 9. Para producir cada uno de los niveles requeridos en la onda

de salida, se deben sumar o restar estas ponderaciones en una secuencia específica.

Para el manejo de cada MOSFET se requiere de un pin de salida en el Arduino MEGA, en total son 12 MOSFET para los tres puentes H, esto requerirá el uso de 1 puerto y medio en el Arduino, por la disposición en la placa, se seleccionó el puerto A y medio puerto C (bit 0 al 3), la asignación de los MOSFET para cada bit de salida de muestra en la tabla 18 de acuerdo a la figura 25.

Tabla 18 Asignación pines de salida del Arduino MEGA

Puerto A								Puerto C			
A7	A6	A5	A4	A3	A2	A1	A0	C3	C2	C1	C0
S9	S10	S11	S12	S5	S6	S7	S8	S1	S2	S3	S4

Para obtener una salida positiva en la etapa se deben activar los MOSFET superior izquierdo e inferior derecho y desactivar los dos restantes del puente H; se mostrará como ejemplo la polaridad a la salida de la etapa principal dependiendo de las salidas de control del puerto C.

$$\text{Puerto C} = 1001 \rightarrow "+"$$

$$\text{Puerto C} = 0110 \rightarrow "-"$$

$$\text{Puerto C} = 1010 \rightarrow "0"$$

La tabla 19 muestra cómo deben activarse las respectivas etapas para producir la onda sinusoidal a la salida, el sombreado azul representa un nivel de salida nulo, el signo "+" salida positiva y el signo "-" salida negativa, además se muestra el valor que debe tener cada puerto de salida para obtener la polaridad deseada en cada etapa; la última columna muestra el tiempo de disparo al cual se deben ejecutar las conmutaciones para producir la salida aproximadamente sinusoidal; t_m indica la aplicación del tiempo muerto, para la inclusión del tiempo muerto solo fue necesario realizar primero la desactivación de los dispositivos interruptores y en el siguiente

paso se activan los elementos deseados, de esta manera se garantiza un retardo de 62.5 μ s entre cada acción de activación y desactivación.

Tabla 19 Polaridad de las etapas y tiempos de disparo de dispositivos interruptores del inversor multinivel

Ponderación	1	3	9	PORT A		PORT C	Disparo (μ s)
	Etapa 3	Etapa 2	Principal	Etapa 3	Etapa 2	Principal	
0				1010	1010	1010	0
				1010	1010	1010	202
1	+			0010	1010	1010	Tm
				0110	1010	1010	204
2	-	+		0000	0010	1010	Tm
				1001	0110	1010	206
3		+		1000	0110	1010	Tm
				1010	0110	1010	209
4	+	+		0010	0110	1010	Tm
				0110	0110	1010	213
5	-	-	+	0000	0000	0010	Tm
				1001	1001	0110	220
6		-	+	1000	1001	0110	Tm
				1010	1001	0110	229
7	+	-	+	0010	1001	0110	Tm
				0110	1001	0110	242
8	-		+	0000	1000	0110	Tm
				1001	1010	0110	258
9			+	1000	1010	0110	Tm
				1010	1010	0110	282
10	+		+	0010	1010	0110	Tm
				0110	1010	0110	320
11	-	+	+	0000	0010	0110	Tm
				1001	0110	0110	384
12		+	+	1000	0110	0110	Tm
				1010	0110	0110	548
13	+	+	+	0010	0110	0110	Tm
				0110	0110	0110	1475
12		+	+	0010	0110	0110	Tm
				1010	0110	0110	548
11	-	+	+	1000	0110	0110	Tm
				1001	0110	0110	384

10	+		+	0000	0010	0110	Tm
				0110	1010	0110	320
9			+	0010	1010	0110	Tm
				1010	1010	0110	282
8	-		+	1000	1010	0110	Tm
				1001	1010	0110	258
7	+	-	+	0000	1000	0110	Tm
				0110	1001	0110	242
6		-	+	0010	1001	0110	Tm
				1010	1001	0110	229
5	-	-	+	1000	1001	0110	Tm
				1001	1001	0110	220
4	+	+		0000	0000	0010	Tm
				0110	0110	1010	213
3		+		0010	0110	1010	Tm
				1010	0110	1010	209
2	-	+		1000	0110	1010	Tm
				1001	0110	1010	206
1	+			0000	0010	1010	Tm
				0110	1010	1010	204
0				0010	1010	1010	Tm
				1010	1010	1010	202
-1	-			1000	1010	1010	Tm
				1001	1010	1010	204
-2	+	-		0000	1000	1010	Tm
				0110	1001	1010	206
-3		-		0010	1001	1010	Tm
				1010	1001	1010	209
-4	-	-		1000	1001	1010	Tm
				1001	1001	1010	213
-5	+	+	-	0000	0000	1000	Tm
				0110	0110	1001	220
-6		+	-	0010	0110	1001	Tm
				1010	0110	1001	229
-7	-	+	-	1000	0110	1001	Tm
				1001	0110	1001	242
-8	+		-	0000	0010	1001	Tm
				0110	1010	1001	258
-9			-	0010	1010	1001	Tm
				1010	1010	1001	282

-10	-		-	1000	1010	1001	Tm
				1001	1010	1001	320
-11	+		-	0000	1000	1001	Tm
				0110	1001	1001	384
-12			-	0010	1001	1001	Tm
				1010	1001	1001	548
-13	-		-	1000	1001	1001	Tm
				1001	1001	1001	1475
-12			-	1000	1001	1001	Tm
				1010	1001	1001	548
-11	+		-	0010	1001	1001	Tm
				0110	1001	1001	384
-10	-		-	0000	1000	1001	Tm
				1001	1010	1001	320
-9			-	1000	1010	1001	Tm
				1010	1010	1001	282
-8	+		-	0010	1010	1001	Tm
				0110	1010	1001	258
-7	-	+	-	0000	0010	1001	Tm
				1001	0110	1001	242
-6		+	-	1000	0110	1001	Tm
				1010	0110	1001	229
-5	+	+	-	0010	0110	1001	Tm
				0110	0110	1001	220
-4	-			0000	0000	1000	Tm
				1001	1001	1010	213
-3			-	1000	1001	1010	Tm
				1010	1001	1010	209
-2	+		-	0010	1001	1010	Tm
				0110	1001	1010	206
-1	-			0000	1000	1010	Tm
				1001	1010	1010	204
0				1000	1010	1010	Tm
				1010	1010	1010	

7.4 Algoritmo de programación

El algoritmo de programación se realizó en el compilador GCC provisto en el software Atmel Studio 7.0, en primer lugar, se incluyeron en el código las sentencias de configuración:

```

#define F_CPU 16000000
#include <avr/io.h>

int main(void)
{
    DDRA = 0xFF;
    DDRC = 0xFF;

    PORTA = 0b10101010;
    PORTC = 0b00001010;
}

```

Posteriormente se incluyeron las funciones para los retardos, las cuales determinan el disparo de cada secuencia y como se había comentado con anterioridad, se realizaron incrustando lenguaje ensamblador en el entorno C del compilador, a continuación, se muestra la función de retardo para el disparo del nivel cero del inversor multinivel:

```

void d_L0(){asm volatile ( //202 us
    "    ldi r18, 5" "\n"
    "    ldi r19, 49" "\n"
    "1:  dec r19" "\n"
    "    brne 1b" "\n"
    "    dec r18" "\n"
    "    brne 1b" "\n"
    "    rjmp 1f" "\n"
    "1:" "\n");
}

```

Por último, se encuentra el bucle repetitivo en donde se activan las respectivas salidas teniendo la precaución de realizar las acciones de desactivación y activación de MOSFET en líneas de código diferentes, para de esta manera, incluir el tiempo muerto, evitando que los dispositivos interruptores de un mismo lazo conduzcan en el mismo instante de tiempo.

```

    PORTA= 0b00101010;
    //                               Tiempo_Muerto 1 ciclo = 62.5ns
    PORTA= 0b01101010;
    d_L1();

```

El código completo para el control de la secuencia de disparo del inversor multinivel se encuentra en el anexo A del presente documento.

8. DISEÑO Y CONSTRUCCIÓN DE CIRCUITOS IMPRESOS PARA INVERSOR MULTINIVEL

8.1 Listado de componentes

La tabla 20 relaciona los componentes usados en la implementación del inversor multinivel de 3 etapas de acuerdo al análisis de los capítulos 6 y 7 del presente documento.

Tabla 20 Listado de componentes inversor multinivel

Ítem	Elemento	Referencia/Descripción	Cantidad
1	Arduino	MEGA 2560	1
2	Transformador Reductor	Relación 5:2 @ 250W	1
3	Transformador Reductor	Relación 10:1 @ 24W	1
4	Transformador Elevador	Relación 55:124.3 @ 210W	1
5	Transformador Reductor	Relación 55:41.4 @ 40W	1
6	Transformador Reductor	Relación 55:13.8 @ 10W	1
7	Capacitor Electrolítico	4700uF @ 100V	2
8	Capacitor Electrolítico	4700uF @ 80V	2
9	Capacitor Electrolítico	100uF @ 16V	1
10	Capacitor Electrolítico	2200uF @ 35V	4
11	Capacitor Electrolítico	10uF @ 35V	6
12	Capacitor Cerámico	20 pF	12
13	Puente rectificador	GBJ2410	1
14	Puente rectificador	2W10	2
15	Regulador de tensión Ajustable	LM317HV	1
16	Regulador de tensión Fijo	LM7815	1
17	Regulador de tensión Fijo	LM7805	1
18	Diodo Rectificador	1N4004	2
19	Diodo Rectificador	1N5402	12
20	Diodo de recuperación rápida	FR257	6
21	Diodo LED	-	1
22	Resistencia	5.6 kΩ @ 1/4W	1
23	Resistencia	100 Ω @ 1/4W	1
24	Resistencia	4.7 kΩ @ 1/4W	1
25	Resistencia	0.1 Ω @ 5W	4

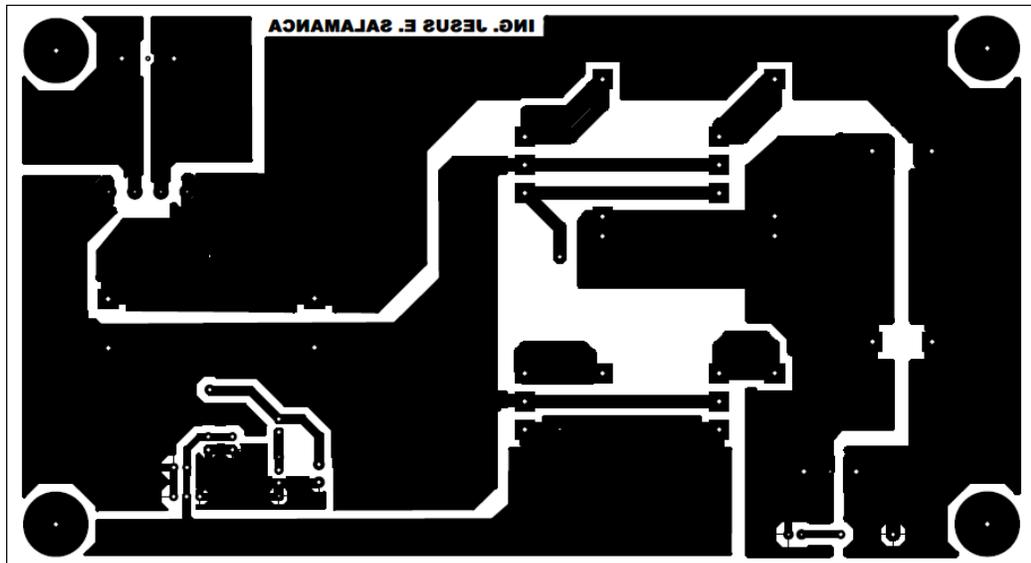
26	Resistencia	330 Ω @ 1/4W	36
27	Potenciómetro	5 k Ω @ 1 W	1
28	Transistor de potencia	TIP 3055	4
29	Conector jumper	2 pines 0.15 in	11
30	Conector jumper	2 pines 0.1in	12
31	Conector jumper	4 pines 0.1in	1
32	Conector jumper	6 pines 0.1in	3
33	Conector molex	2 pines	3
34	Disipador de Calor	-	9
35	Driver Puente H	IR2110	6
36	MOSFET canal N	IRF540N	12
37	Optoacoplador	6N137	12
38	Socket	8 pines	12
39	Socket	14 pines	6

8.2 Diseño de los circuitos impresos

Para el diseño de los diferentes circuitos impresos necesarios para la implementación del inversor multinivel, se usó el software Proteus de Labcenter Electronics; este software comprende un simulador, ISIS, que se complementa con la herramienta ARES, para generar circuitos impresos desde 1 hasta 10 capas; ARES está equipado con una herramienta llamada autorouting la cual genera automáticamente los trazos de las conexiones para los circuitos diseñados en el simulador ISIS.

8.2.1 Fuente de alimentación de potencia

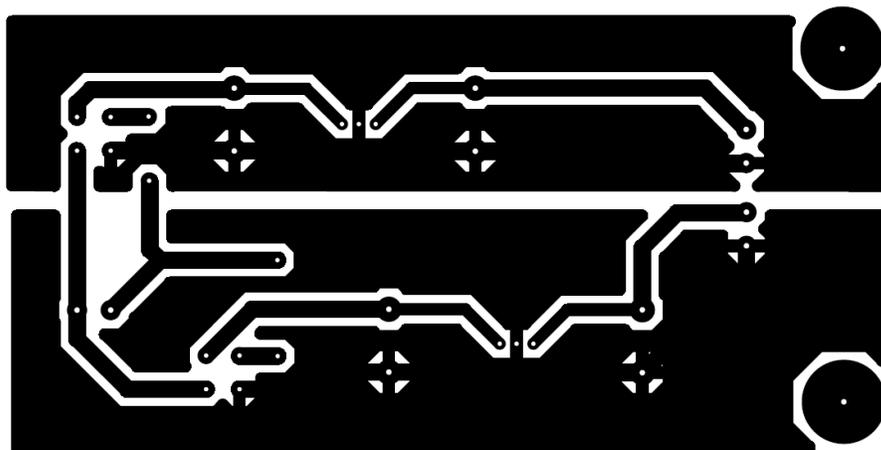
El circuito diseñado para la fuente de alimentación de potencia se muestra en la figura 40 de acuerdo al circuito de la figura 27; las rutas que transportan mayor cantidad de potencia fueron reforzadas por medio de zonas para aumentar su sección transversal, principalmente la salida de +55V y la referencia.



*Figura 40 Diseño PCB fuente de alimentación de potencia
Fuente: Autor*

8.2.2 Fuente de alimentación circuito de acondicionamiento

La figura 41 muestra el diseño del circuito impreso de la fuente de alimentación para los elementos de acondicionamiento de la señal de activación para los MOSFET del puente H, se destacan los planos o zonas conectadas a la referencia de tensión de cada fuente de alimentación, esto con el fin de apantallar el ruido en alta frecuencia producido por las conmutaciones de las etapas digitales del inversor multinivel, específicamente la etapa 3.



*Figura 41 Diseño PCB fuente de alimentación circuito de acondicionamiento
Fuente: Autor*

8.2.3 Circuito de acondicionamiento y potencia

La figura 42 muestra el diseño del circuito impreso de acondicionamiento y potencia para una etapa del inversor multinivel, cabe recordar para las tres etapas, que sus circuitos de acondicionamiento y potencia son idénticos, ya que la variación de cada etapa se encuentra en la etapa de transformación a la salida de cada etapa. De acuerdo al análisis previo cada parte del circuito cuenta con niveles de referencia distintos (entradas de control, salida optoacoplador - entrada driver, salida driver - puente H).

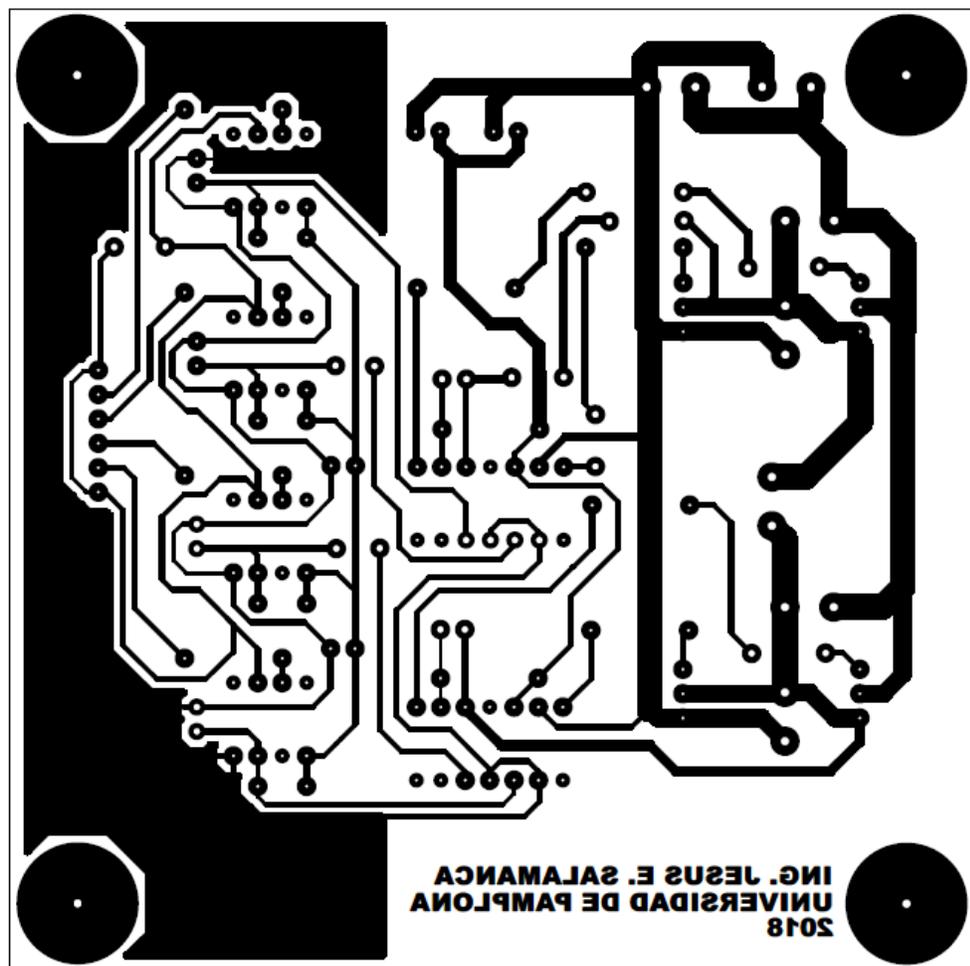


Figura 42 Diseño circuito de acondicionamiento y potencia
Fuente: Autor

La figura 43 muestra la distribución de los elementos: a la izquierda de la imagen se encuentran los optoacopladores que aíslan eléctricamente las entradas del Arduino

Mega con el circuito de acondicionamiento, en la parte central se encuentran los Drivers para el puente H y en la parte derecha se encuentra el puente H.

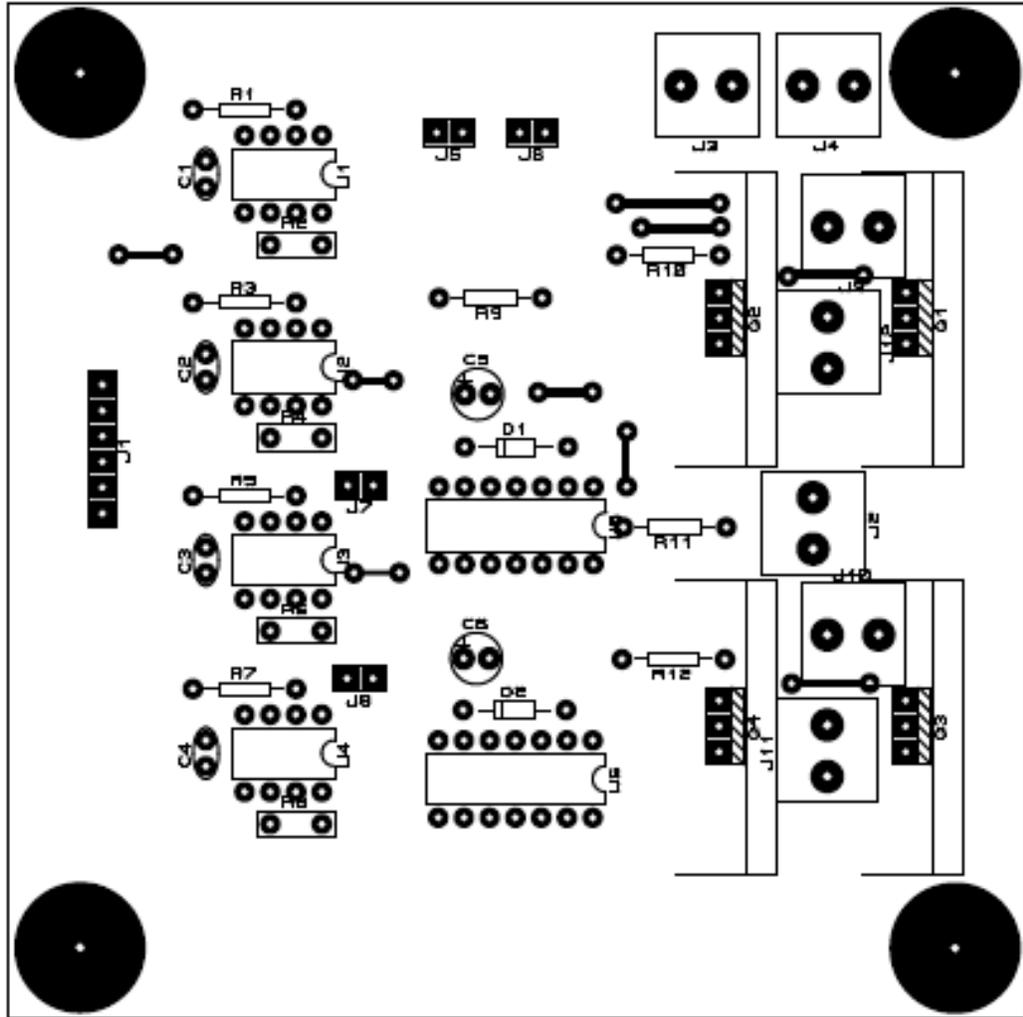


Figura 43 Distribución de elementos PCB circuitos acondicionamiento y potencia
Fuente: Autor

8.3 Construcción de PCB's para el inversor multinivel

8.3.1 Fuente de alimentación de potencia

La figura 44 muestra la PCB luego del proceso de revelado, la figura 45 muestra la tarjeta correspondiente a la fuente de alimentación de potencia terminada, con todos sus componentes ensamblados.

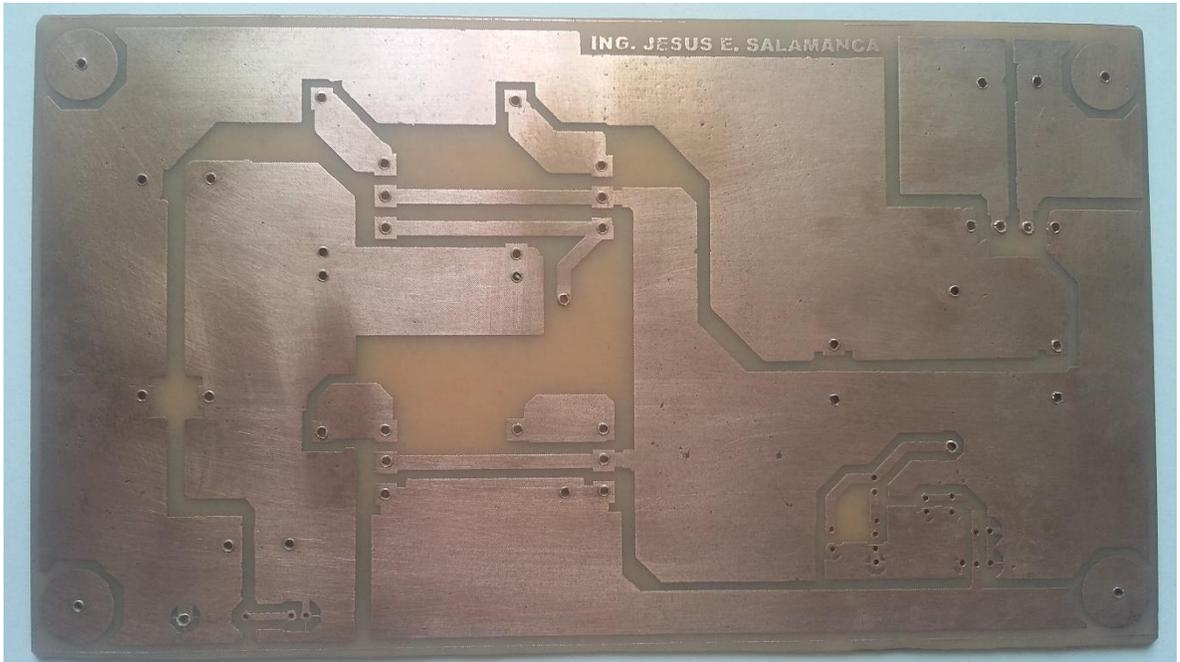


Figura 44 Revelado de PCB fuente de alimentación etapa de potencia
Fuente: Autor

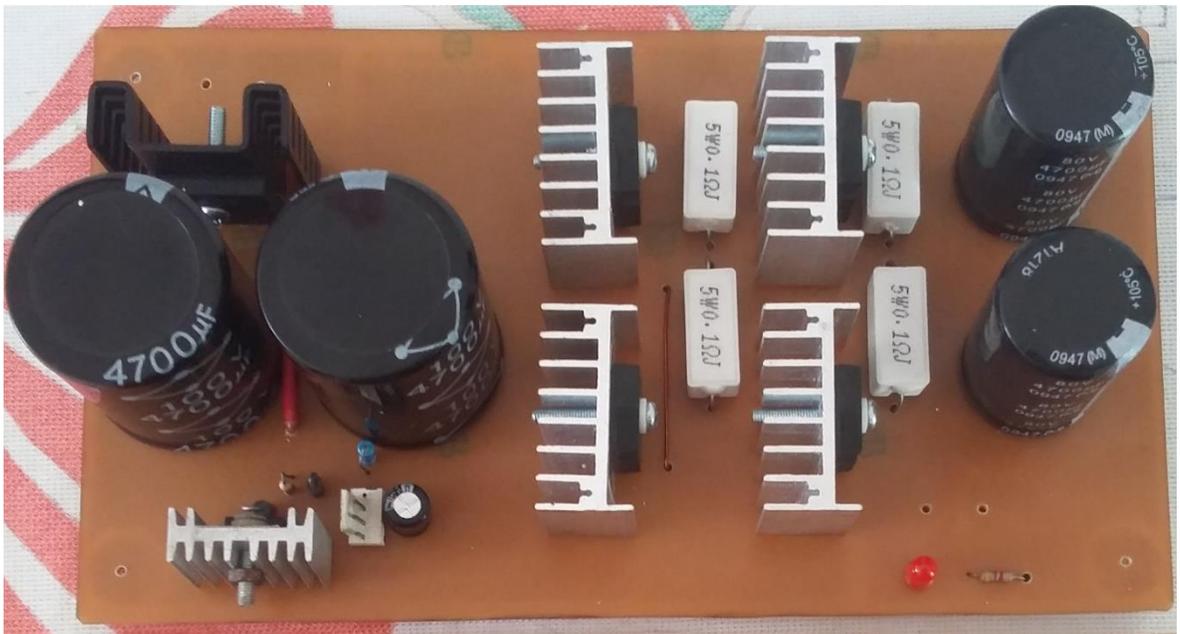


Figura 45 Fuente de alimentación de potencia ensamblada
Fuente: Autor

8.3.2 Fuente de alimentación circuito de acondicionamiento

La figura 46 muestra el circuito impreso luego de la etapa de revelado para la fuente de alimentación de la etapa de acondicionamiento, la figura 47 muestra la placa con todos sus componentes ensamblados.

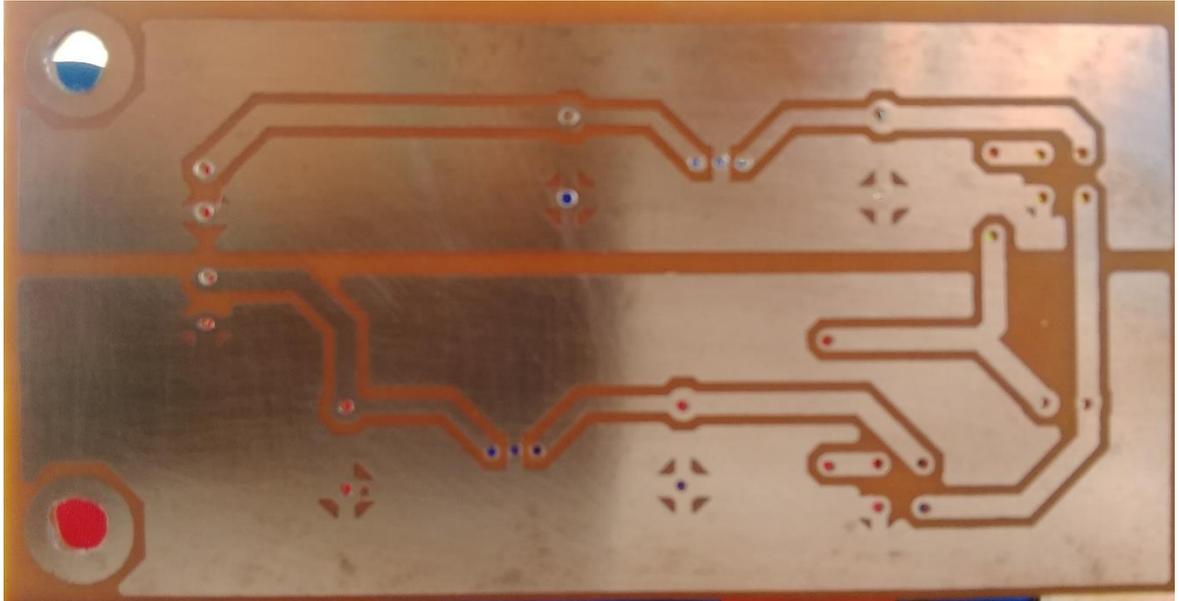


Figura 46 Revelado de PCB fuente de alimentación etapa de acondicionamiento
Fuente: Autor

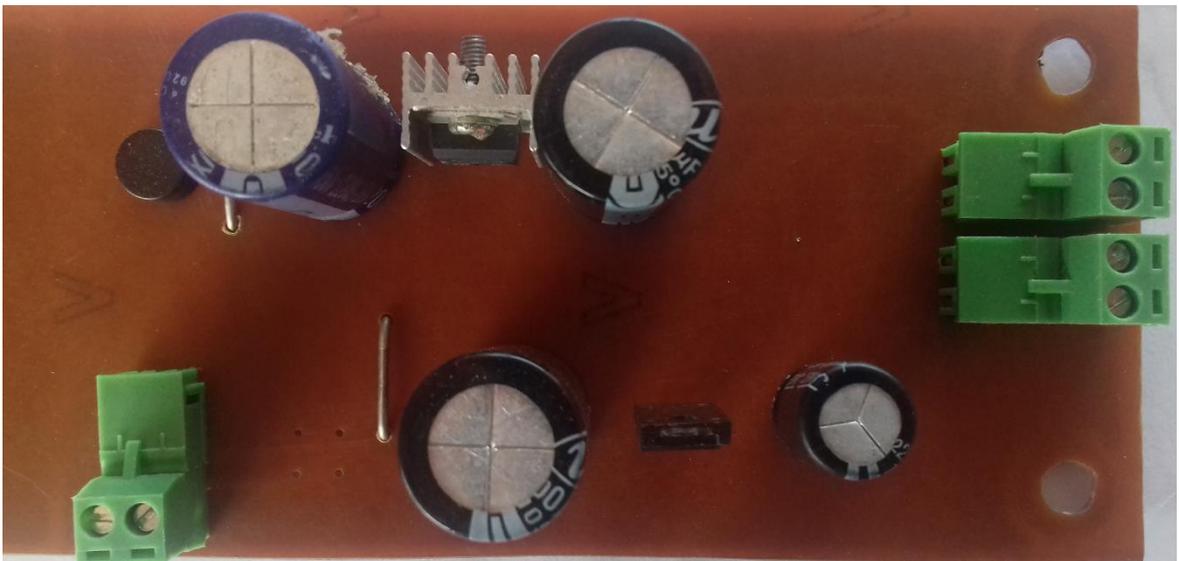


Figura 47 Fuente de alimentación etapa de acondicionamiento ensamblada
Fuente: Autor

8.3.3 Circuito de acondicionamiento y potencia

Las figuras 48 muestra la placa revelada del circuito impreso para el circuito de control y potencia de una etapa del inversor multinivel, se debe recordar que las tres etapas restantes poseen una construcción idéntica, diferenciándose en la etapa de transformación a la salida de cada puente H. la figura 49 muestra la placa en mención con todos sus componentes ensamblados.

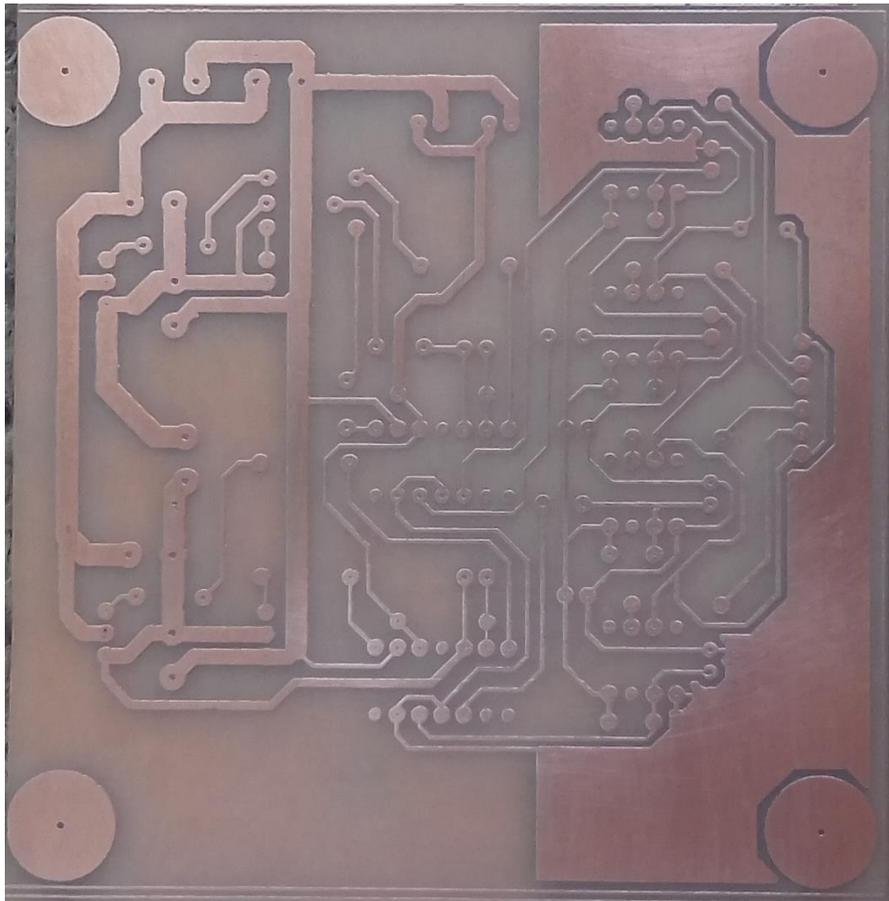


Figura 48 Revelado de PCB etapa de acondicionamiento y potencia
Fuente: Autor

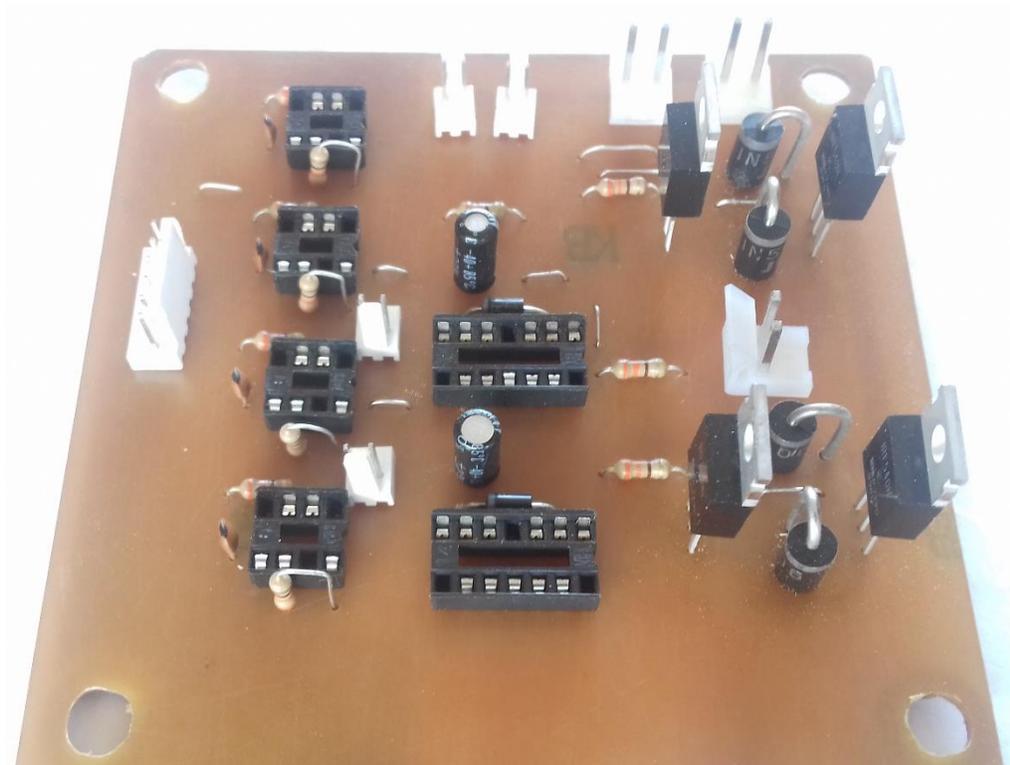


Figura 49 Circuito de acondicionamiento y potencia ensamblado
Fuente: Autor

9. VALIDACIÓN DE RESULTADOS

Se compararán las formas de onda obtenidas en la simulación con las formas de onda ofrecidas por el circuito implementado; la figura 50-a muestra la forma de onda a la salida de la etapa 3, la figura 50-b muestra la forma de onda a la salida de la etapa 2, la figura 50-c muestra la forma de onda a la salida de la etapa principal y la figura 50-d muestra la forma de onda a la salida del inversor multinivel

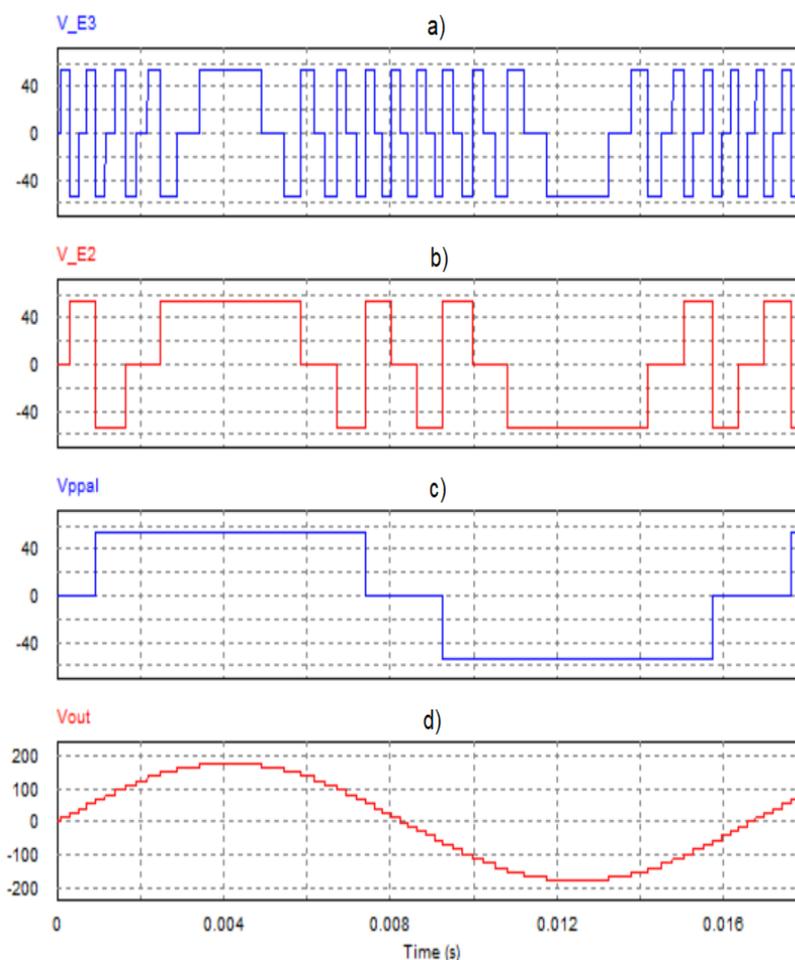
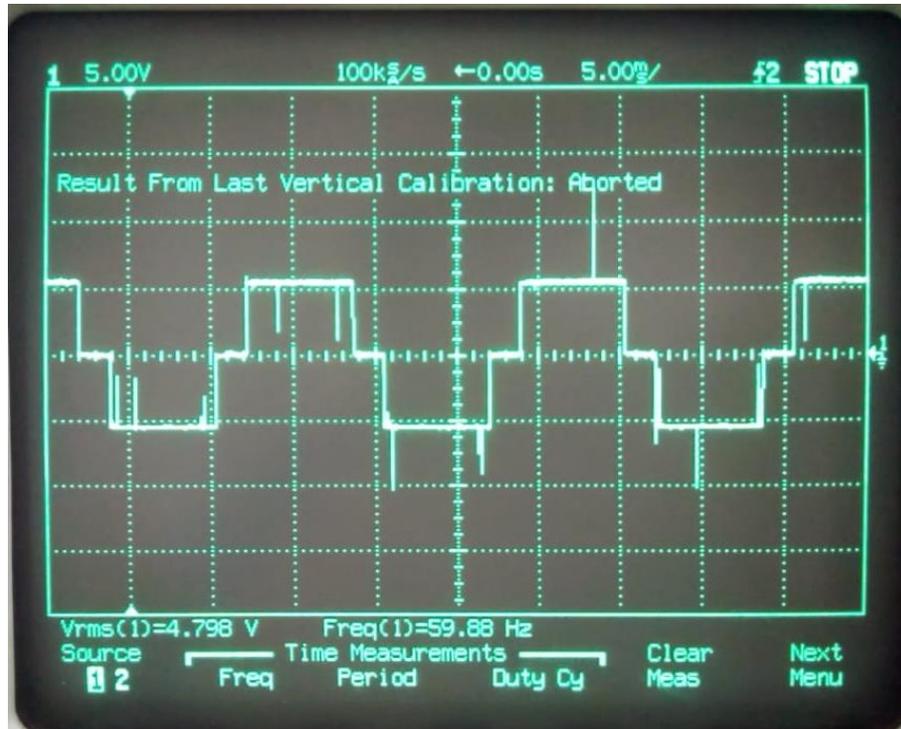


Figura 50 Formas de onda de salida: a) etapa 3, b) etapa 2, c) etapa principal, d) inversor multinivel

Fuente: Autor

Las figuras 51, 52 y 53 muestran las formas de onda de salida del circuito implementado para sus tres etapas, visto en un osciloscopio, la medición se atenuó por un factor de 10 veces para mejorar su visualización; de la figura 51 se puede destacar, de la etapa principal, su tensión rms de 47.98V y frecuencia 59.88Hz muy cercana a la ideal de 60Hz



*Figura 51 Salida etapa principal inversor multinivel
Fuente: Autor*

La figura 52 muestra la forma de onda de salida de la etapa 2, la cual tiene una frecuencia de 526.3Hz y tensión rms de 46.35V. la figura 53 muestra la forma de onda de salida de la etapa 3, donde su frecuencia de conmutación es 1.562kHz y su tensión rms es de 45.11V; cabe recordar que las tres etapas tienen una salida de tensión pico igual a la tensión de la fuente de alimentación de potencia, es decir 55V.

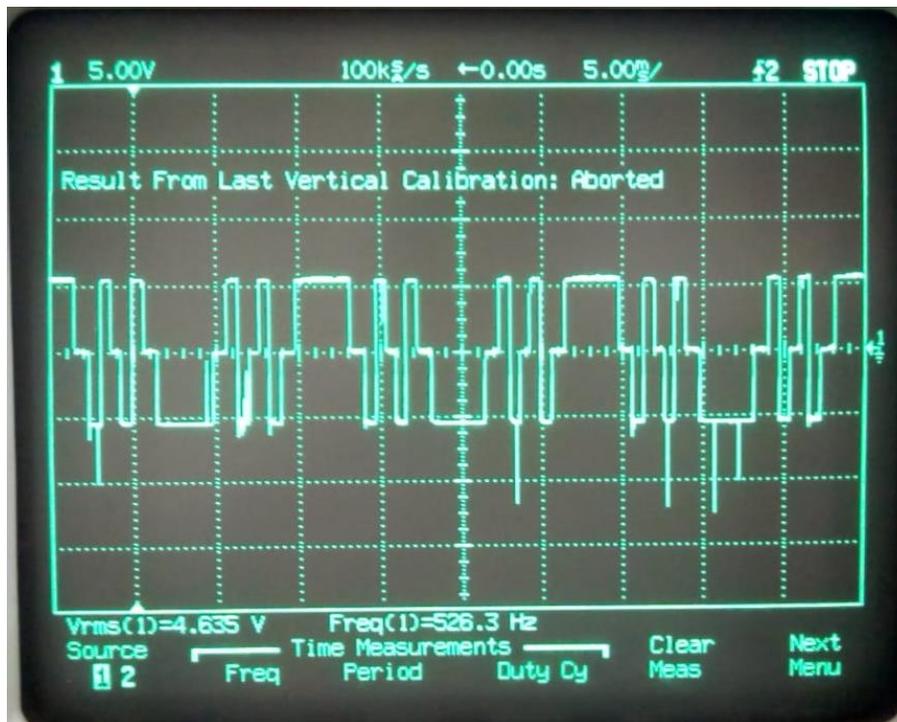


Figura 52 Salida etapa 2 inversor multinivel
 Fuente: Autor

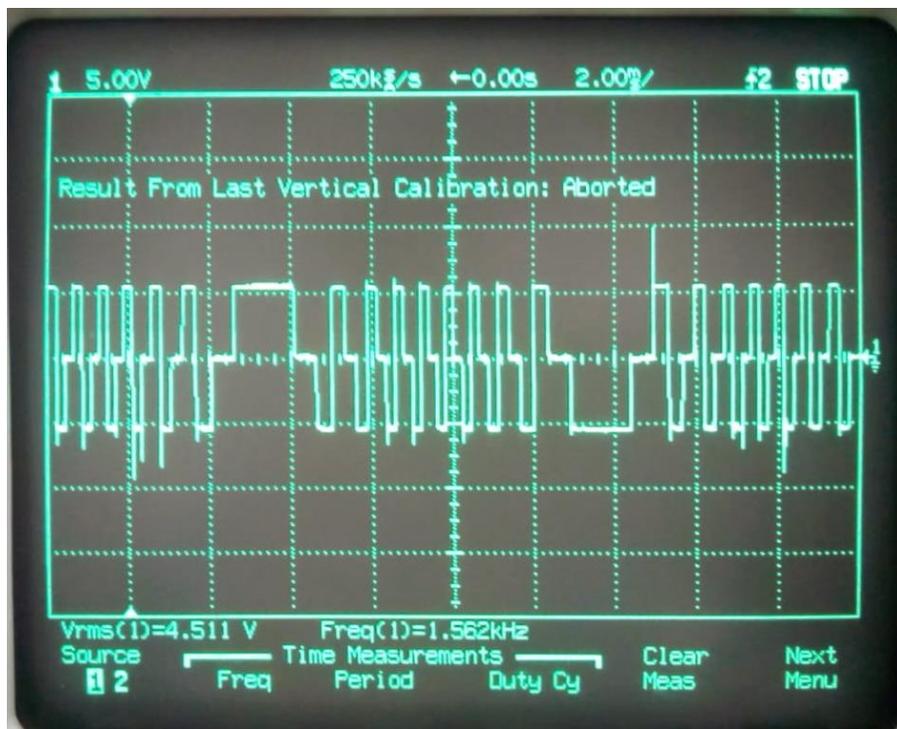


Figura 53 Salida etapa 3 inversor multinivel
 Fuente: Autor

La figura 54 muestra la forma de onda de salida del inversor multinivel, igualmente a las anteriores mediciones, esta se encuentra atenuada por 10 veces; se puede apreciar que la amplitud de la onda es cercana a los 179V de diseño, la tensión rms es de 126.4V, muy cercana a los 127 V de diseño, la frecuencia es de 60.24Hz

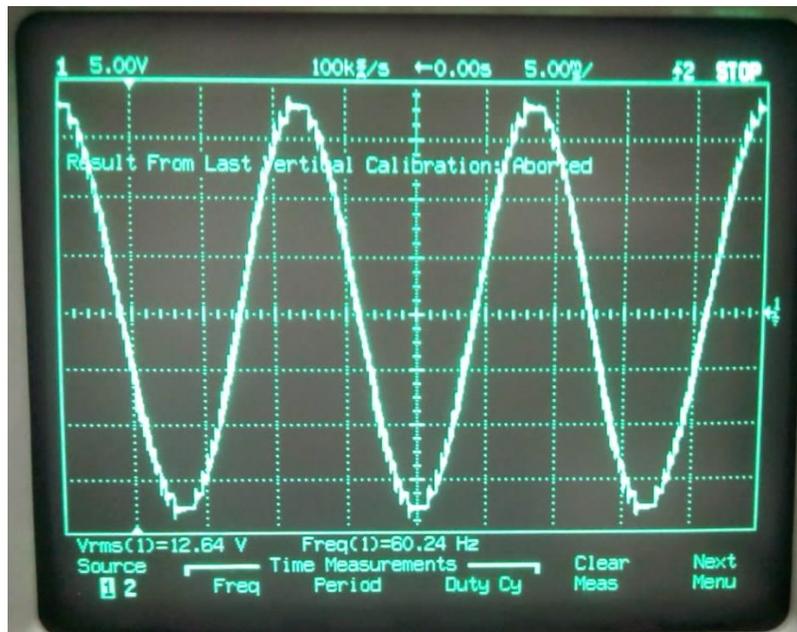


Figura 54 Salida inversor multinivel de 3 etapas 27 niveles
Fuente: Autor

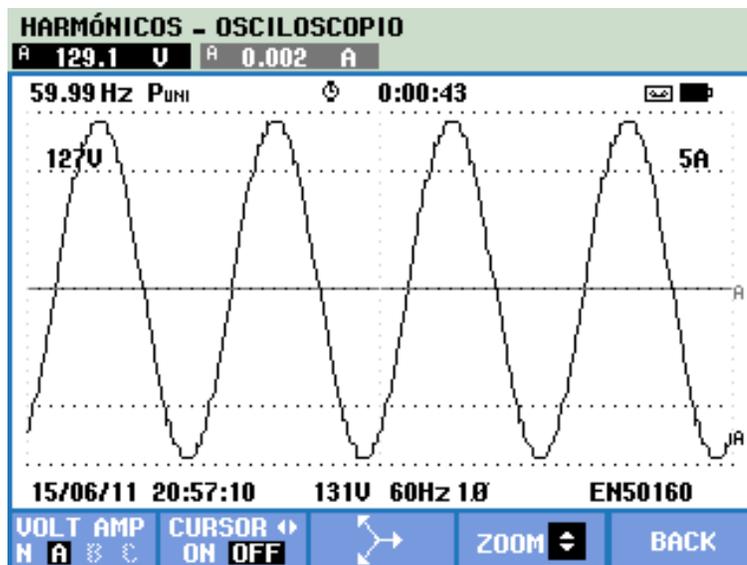


Figura 55 Forma de onda de salida del inversor con analizador FLUKE 435
Fuente: Autor

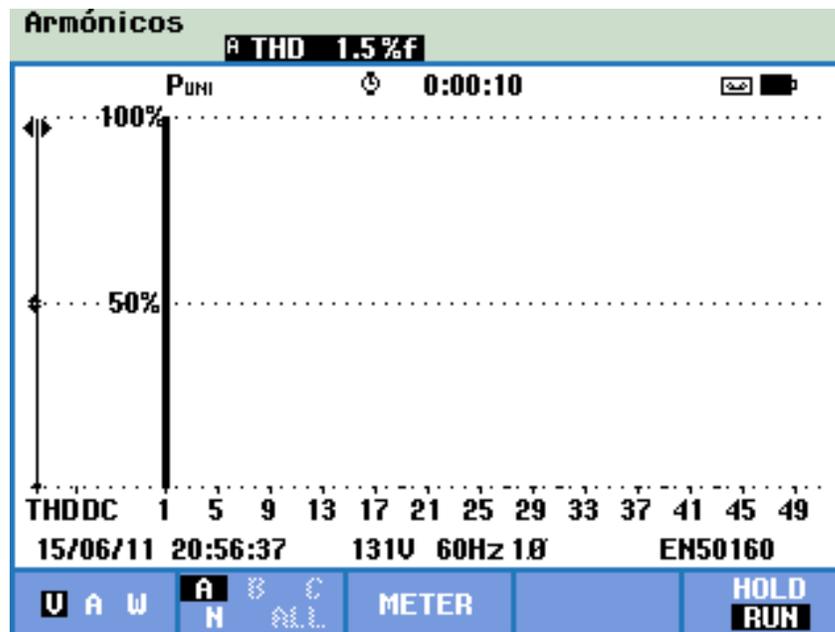


Figura 56 Medición de THD del inversor multinivel con analizador FLUKE 435
Fuente: Autor

Como se puede observar en la figura 56, la distorsión armónica total en la onda de salida del inversor multinivel es de 1.5%, parámetro que es inferior al establecido desde el diseño, el cual fijaba el límite máximo de THD de 8% cumpliendo así los todos los objetivos trazados para esta investigación

10. CONCLUSIONES

- La investigación realizada indicó que la topología para un inversor multinivel de puentes H en cascada asimétricos con relación entre etapas de 1:3 es la que presenta mayores niveles en la tensión a la salida y mayor número de combinaciones posibles en comparación con las configuraciones simétrica y asimétrica de relación 1:2, lo cual permite obtener ondas con menor distorsión armónica total, que se parecen en mayor grado a una onda sinusoidal pura, lo cual también influye directamente en el factor de potencia del sistema.
- La implementación del circuito bootstrap o bomba de carga es de vital importancia para la activación de los MOSFET de la parte alta del circuito puente H, sin la cual se necesitaría una fuente externa con una tensión mayor a la fuente de alimentación de potencia, esto debido a que los MOSFET se activan por tensión, lo cual implica que la tensión del gate del MOSFET sea mayor al menos 4 voltios a la tensión del source; cuando los MOSFET de la parte alta del puente H se activan, la tensión en el source es aproximadamente igual a la de la fuente de alimentación de potencia, por lo que en el caso de estudio la tensión en el gate de los MOSFET de la parte alta del puente H deberá ser al menos de 59V.
- La implantación del tiempo muerto, en el algoritmo que controla la secuencia de activación de los MOSFET del puente H, es de suma importancia para evitar el cortocircuito en las ramas del puente H, pues garantiza la activación del MOSFET del lado alto cuando el MOSFET del lado bajo ya se ha desactivado completamente y viceversa, esto debido a la diferencia entre los tiempos de activación y desactivación del MOSFET, T_{ON} y T_{OFF} .

- Las formas de onda obtenidas en la implementación son muy cercanas a las formas de onda simuladas, y sus valores nominales, como tensión rms, tensión pico y frecuencia son muy cercanos a los valores ideales con un error inferior al 0.5%
- Los dispositivos de conmutación que ofrecen una mejor relación velocidad vs potencia son los IGBT, siendo un eslabón intermedio entre los MOSFET y los BJT en ambos parámetros, su desventaja es el alto costo en el mercado, esto junto a que el caso de estudio es de baja potencia (1/4 HP) produjeron que se eligieran los MOSFET como dispositivos de conmutación para la implementación del inversor multinivel

11.RECOMENDACIONES Y TRABAJOS FUTUROS

Se recomienda continuar el desarrollo de este inversor multinivel aumentando el número de etapas implementadas a 4, de esta manera se espera reducir la distorsión armónica total a niveles cercanos al 1%.

Se recomienda ampliar el alcance del proyecto para implementar un inversor multinivel Multietapa trifásico de 81 niveles.

Se recomienda optimizar el algoritmo de programación de forma que se puedan incluir ajustes adicionales tales como variación de velocidad por medio de variación de frecuencia y arranques suaves.

Se espera que este inversor sea el precursor de diversos proyectos de pregrado y posgrado enfocados a la electrónica de potencia, control de máquinas eléctricas y calidad de la energía.

Se recomienda la adquisición de elementos para analizar la calidad de energía propios del programa ingeniería eléctrica de la universidad de pamplona en la sede villa del rosario, lo cual podría potenciar investigaciones profundas en esta área.

12. REFERENCIAS BIBLIOGRÁFICAS

[1] Sánchez, M.;(2009) “Calidad de la energía eléctrica”; departamento de ingeniería eléctrica y electrónica; instituto tecnológico de puebla; Puebla, México.

[2] Institute of Electrical and Electronics Engineers; (2009); “Recommended Practice for Monitoring Electric Power Quality” IEEE Power & Energy Society; New York, Estados Unidos de América.

[3] Instituto Colombiano de Normas Técnicas; (2008); “NTC 5001” calidad de la potencia eléctrica límites y metodología de evaluación en punto de conexión común, Santa Fe de Bogotá, Colombia.

[4] Khomfoi, S.; (2014); “AC-Choppers Using Instantaneous Voltage Control Technique to Solve Voltage Sag Problems”, The 2014 International Power Electronics Conference; Bangkok Tailandia.

[5] Wen, B., Mattavelli, P.; (2018); “Harmonic Current Analysis of the Active Front End System in the Presence of Grid Voltage Disturbance”; The University of Manchester, Manchester, Inglaterra.

[6] Institute of Electrical and Electronics Engineers; (2014); “IEEE Recommended Practice and Requirements for Harmonic Control in Electric Power Systems”; IEEE Power & Energy Society; New York, Estados Unidos de América.

[7] Chen, H.; Liu, H.; Xing, Y.; Hu, H.; (2018); “Analysis and Design of enhanced DFT-Based Controller for Selective Harmonic Compensation in Active Power Filters”; Nanjing University of Aeronautics and Astronautics; Nanjing, China.

[8] Tulsy, V.; Inoyatov, B.; Dzhuraev, S.; Tolba, M.; (2018); Study and Analysis of Power Quality of Electric Power System. Case Study: Republic of Tajikistan; Moscow Power Engineering Institute; Department of Electrical Power Systems; Moscú, Rusia.

[9] Mohan, N.; Underland, T.; Robbins, W.; Electrónica de potencia; convertidores aplicaciones y diseño; 3ª edición; México D.F., México; Mc Graw Hill, 2009; ISBN: 978-970-10-7248-6.

[10] Universidad Carlos III de Madrid, conversión CC/CA, inversores, tema 6, Madrid, España disponible en: <http://ocw.uc3m.es/tecnologia-electronica/electronica-de-potencia/material-de-clase-1/MC-F-006.pdf>

[11] Rashid, M.; Electrónica de potencia; circuitos, dispositivos y aplicaciones; 2ª Edición; México D.F., México; Mc Graw Hill, 1995; ISBN: 968-880-586-6.

[12] Universidad técnica de Oruro, teoría de los inversores de tensión, capítulo VII, Cochabamba, Bolivia, disponible en: http://docentes.uto.edu.bo/schoquechambim/wp-content/uploads/Capitulo_VII.pdf

[13] Breton, A.; Dixon, J; (2003) “Diseño y construcción de un inversor trifásico multinivel de cuatro etapas para compensación armónica y de reactivos” Memoria para optar al título de Ingeniero Civil Industrial, Santiago de Chile, Pontificia Universidad Católica De Chile Escuela De Ingeniería.

[14] Elgueta, M.; Dixon, J; (2005) “Aplicación de un inversor multinivel como variador de frecuencia de un motor de inducción trifásico” Tesis de maestría II, Santiago de Chile, Pontificia Universidad Católica De Chile Escuela De Ingeniería.

[15] Alfaro, O.; Murgas, R.; Calderón, J.; (2010); “Diseño y construcción de inversor monofásico de cuatro etapas” Universidad de El Salvador; San Salvador, El Salvador.

[16] Kouro, S.; Malinowski, M.; Gopakumar, K.; Pou, J.; Franquelo, L.G.; Bin Wu; Rodriguez, J.; Pérez, M.A.; Leon, J.I.; (2010), “Recent Advances and Industrial Applications of Multilevel Converters” IEEE Transactions on Industrial Electronics, Volume: 57, Issue: 8, 2010, Page(s): 2553 – 2580.

[17] International Rectifier; (2001); “IRF540N HEXFET® Power MOSFET”; Kansas, Estados Unidos de América.

[18] International Rectifier; (2001); “IR2110(-1-2)(S)PbF/IR2113(-1-2)(S)PbF HIGH AND LOW SIDE DRIVER”; Kansas, Estados Unidos de América.

[19] Electronics Industry Company; (2005); “FR251 - FR257-STR FAST RECOVERY RECTIFIER DIODES”; Bangkok, Tailandia.

[20] International Rectifier; (2007); “Application Note AN-978” HV Floating MOS-Gate Driver ICs; Kansas, Estados Unidos de América.

[21] Vishay Semiconductors; (2017); “6N137, VO2601, VO2611, VO2630, VO2631, VO4661” High Speed Optocoupler, Single and Dual, 10 MBd; Pensilvania, Estados Unidos de América.

[22] Texas Instruments; (2015); “ μ A78xx Fixed Positive Voltage Regulators”; Dallas, Estados Unidos de América.

[23] Méndez, A.; (2016); "Disipadores Térmicos Para Dispositivos Electrónicos"
Departamento de ingeniería electrónica, Universidad politécnica de Cataluña;
Barcelona, España.

ANEXO A

```
#define F_CPU 16000000
#include <avr/io.h>
uint8_t k=0;

int main(void)
{
    DDRA = 0xFF;
    DDRC = 0xFF;

    PORTA = 0b10101010;
    PORTC = 0b00001010;

void d_L0(){asm volatile ( //202 us
    " ldi r18, 5" "\n"
    " ldi r19, 49" "\n"
    "1: dec r19" "\n"
    " brne 1b" "\n"
    " dec r18" "\n"
    " brne 1b" "\n"
    " rjmp 1f" "\n"
    "1:" "\n");
}

void d_L1(){asm volatile ( //204 us
    " ldi r18, 5" "\n"
    " ldi r19, 60" "\n"
    "1: dec r19" "\n"
    " brne 1b" "\n"
    " dec r18" "\n"
    " brne 1b" "\n"
    " nop" "\n");
}

void d_L2(){asm volatile ( //206 us
    " ldi r18, 5" "\n"
    " ldi r19, 71" "\n"
    "1: dec r19" "\n"
    " brne 1b" "\n"
    " dec r18" "\n"
    " brne 1b" "\n");
}

void d_L3(){asm volatile ( //209 us
    " ldi r18, 5" "\n"
    " ldi r19, 87" "\n"
    "1: dec r19" "\n"
    " brne 1b" "\n"
    " dec r18" "\n"
    " brne 1b" "\n");
}

void d_L4(){asm volatile ( //213 us
    " ldi r18, 5" "\n"
```

```

        "    ldi r19, 108" "\n"
        "1: dec r19"      "\n"
        "    brne 1b" "\n"
        "    dec r18"      "\n"
        "    brne 1b" "\n"
        "    nop"        "\n");
    }
void d_L5(){asm volatile ( //220 us
    "    ldi r18, 5" "\n"
    "    ldi r19, 145" "\n"
    "1: dec r19"      "\n"
    "    brne 1b" "\n"
    "    dec r18"      "\n"
    "    brne 1b" "\n"
    "    rjmp 1f" "\n"
    "1:" "\n");
}
void d_L6(){asm volatile ( //229 us
    "    ldi r18, 5" "\n"
    "    ldi r19, 193" "\n"
    "1: dec r19"      "\n"
    "    brne 1b" "\n"
    "    dec r18"      "\n"
    "    brne 1b" "\n"
    "    rjmp 1f" "\n"
    "1:" "\n");
}
void d_L7(){asm volatile ( //242 us
    "    ldi r18, 6" "\n"
    "    ldi r19, 6" "\n"
    "1: dec r19"      "\n"
    "    brne 1b" "\n"
    "    dec r18"      "\n"
    "    brne 1b" "\n"
    "    nop"        "\n");
}
void d_L8(){asm volatile ( //258 us
    "    ldi r18, 6" "\n"
    "    ldi r19, 91" "\n"
    "1: dec r19"      "\n"
    "    brne 1b" "\n"
    "    dec r18"      "\n"
    "    brne 1b" "\n"
    "    rjmp 1f" "\n"
    "1:" "\n");
}
void d_L9(){asm volatile ( //282 us
    "    ldi r18, 6" "\n"
    "    ldi r19, 219" "\n"
    "1: dec r19"      "\n"
    "    brne 1b" "\n"
    "    dec r18"      "\n"
    "    brne 1b" "\n"
    "    rjmp 1f" "\n"
    "1:" "\n");
}

```

```

    }
void d_L10(){asm volatile ( //320 us
    " ldi r18, 7" "\n"
    " ldi r19, 165" "\n"
    "1: dec r19" "\n"
    " brne 1b" "\n"
    " dec r18" "\n"
    " brne 1b" "\n"
    " rjmp 1f" "\n"
    "1:" "\n");
    }
void d_L11(){asm volatile ( //384 us
    " ldi r18, 8" "\n"
    " ldi r19, 250" "\n"
    "1: dec r19" "\n"
    " brne 1b" "\n"
    " dec r18" "\n"
    " brne 1b" "\n"
    " nop" "\n");
    }
void d_L12(){asm volatile ( //548 us
    " ldi r18, 12" "\n"
    " ldi r19, 98" "\n"
    "1: dec r19" "\n"
    " brne 1b" "\n"
    " dec r18" "\n"
    " brne 1b" "\n"
    " nop" "\n");
    }
void d_L13(){asm volatile ( //1.475 ms
    " ldi r18, 31" "\n"
    " ldi r19, 165" "\n"
    "1: dec r19" "\n"
    " brne 1b" "\n"
    " dec r18" "\n"
    " brne 1b" "\n"
    " rjmp 1f" "\n"
    "1:" "\n");
    }

while (1){
    d_L0();

    PORTA= 0b00101010;
    // Tiempo_Muerto
    PORTA= 0b01101010;
    d_L1();

    PORTA= 0b00000010;
    // Tiempo_Muerto
    PORTA= 0b10010110;
    d_L2();

    PORTA= 0b10000110;

```

```

//                                Tiempo_Muerto
PORTA= 0b10100110;
d_L3();

PORTA= 0b00100110;
//                                Tiempo_Muerto
PORTA= 0b01100110;
d_L4();

PORTA= 0b00000000;
PORTC= 0b00000010;
//                                Tiempo_Muerto
PORTA= 0b10011001;
PORTC= 0b00000110;
d_L5();

PORTA= 0b10001001;
//                                Tiempo_Muerto
PORTA= 0b10101001;
d_L6();

PORTA= 0b00101001;
//                                Tiempo_Muerto
PORTA= 0b01101001;
d_L7();

PORTA= 0b00001000;
//                                Tiempo_Muerto
PORTA= 0b10011010;
d_L8();

PORTA= 0b10001010;
//                                Tiempo_Muerto
PORTA= 0b10101010;
d_L9();

PORTA= 0b00101010;
//                                Tiempo_Muerto
PORTA= 0b01101010;
d_L10();

PORTA= 0b00000010;
//                                Tiempo_Muerto
PORTA= 0b10010110;
d_L11();

PORTA= 0b10000110;
//                                Tiempo_Muerto
PORTA= 0b10100110;
d_L12();

PORTA= 0b00100110;
//                                Tiempo_Muerto
PORTA= 0b01100110;
d_L13();

```



```

PORTA= 0b10010110;
d_L2();

PORTA= 0b00000010;
//
PORTA= 0b01101010;
d_L1();

PORTA= 0b00101010;
//
PORTA= 0b10101010;
d_L0();

PORTA= 0b10001010;
//
PORTA= 0b10011010;
d_L1();

PORTA= 0b00001000;
//
PORTA= 0b01101001;
d_L2();

PORTA= 0b00101001;
//
PORTA= 0b10101001;
d_L3();

PORTA= 0b10001001;
//
PORTA= 0b10011001;
d_L4();

PORTA= 0b00000000;
PORTC= 0b00001000;
//
PORTA= 0b01100110;
PORTC= 0b00001001;
d_L5();

PORTA= 0b00100110;
//
PORTA= 0b10100110;
d_L6();

PORTA= 0b10000110;
//
PORTA= 0b10010110;
d_L7();

PORTA= 0b00000010;
//
PORTA= 0b01101010;
d_L8();

```

Tiempo_Muerto

```

PORTA= 0b00101010;
//
PORTA= 0b10101010;
d_L9();

PORTA= 0b10001010;
//
PORTA= 0b10011010;
d_L10();

PORTA= 0b00001000;
//
PORTA= 0b01101001;
d_L11();

PORTA= 0b00101001;
//
PORTA= 0b10101001;
d_L12();

PORTA= 0b10001001;
//
PORTA= 0b10011001;
d_L13();

PORTA= 0b10001001;
//
PORTA= 0b10101001;
d_L12();

PORTA= 0b00101001;
//
PORTA= 0b01101001;
d_L11();

PORTA= 0b00001000;
//
PORTA= 0b10011010;
d_L10();

PORTA= 0b10001010;
//
PORTA= 0b10101010;
d_L9();

PORTA= 0b00101010;
//
PORTA= 0b01101010;
d_L8();

PORTA= 0b00000010;
//
PORTA= 0b10010110;
d_L7();

```

Tiempo_Muerto

```

PORTA= 0b10000110;
//
PORTA= 0b10100110;
d_L6();

PORTA= 0b00100110;
//
PORTA= 0b01100110;
d_L5();

PORTA= 0b00000000;
PORTC= 0b00001000;
//
PORTA= 0b10011001;
PORTC= 0b00001010;
d_L4();

PORTA= 0b10001001;
//
PORTA= 0b10101001;
d_L3();

PORTA= 0b00101001;
//
PORTA= 0b01101001;
d_L2();

PORTA= 0b00001000;
//
PORTA= 0b10011010;
d_L1();

PORTA= 0b10001010;
//
PORTA= 0b10101010;

}
}

```