



**UNIVERSIDAD DE PAMPLONA**

**FACULTAD DE INGENIERÍAS Y ARQUITECTURA**

**DEPARTAMENTO DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA,**

**SISTEMAS Y TELECOMUNICACIONES**

**PROGRAMA DE INGENIERÍA ELÉCTRICA**

**PAMPLONA, COLOMBIA**

**2015**

**DISEÑO E IMPLEMENTACIÓN DE UN INVERSOR MULTINIVEL  
MONOFÁSICO POR FIJACIÓN DE DIODOS CON OPTIMIZACIÓN ARMÓNICA**

**AUTOR**

**LEONARDO DAYAN JAIMES RODRÍGUEZ**

**UNIVERSIDAD DE PAMPLONA**

**FACULTAD DE INGENIERÍAS Y ARQUITECTURA**

**DEPARTAMENTO DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA,  
SISTEMAS Y TELECOMUNICACIONES**

**PROGRAMA DE INGENIERÍA ELÉCTRICA**

**PAMPLONA, COLOMBIA**

**2015**

**DISEÑO E IMPLEMENTACIÓN DE UN INVERSOR MULTINIVEL  
MONOFÁSICO POR FIJACIÓN DE DIODOS CON OPTIMIZACIÓN ARMÓNICA**

Autor

**LEONARDO DAYAN JAIMES RODRÍGUEZ**

Trabajo presentado para optar por el título de:

**Ingeniero Eléctrico**

Director:

**Ing. LUIS DAVID PABÓN FERNÁNDEZ**

**UNIVERSIDAD DE PAMPLONA**

**FACULTAD DE INGENIERÍAS Y ARQUITECTURA**

**DEPARTAMENTO DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA,  
SISTEMAS Y TELECOMUNICACIONES**

**PROGRAMA DE INGENIERÍA ELÉCTRICA**

**PAMPLONA, COLOMBIA**

**2015**

**DISEÑO E IMPLEMENTACIÓN DE UN INVERSOR MULTINIVEL  
MONOFÁSICO POR FIJACIÓN DE DIODOS CON OPTIMIZACIÓN ARMÓNICA**

FECHAS DE INICIO Y FINALIZACIÓN DEL TRABAJO:

Fecha de inicio del trabajo: Mayo del 2015

Fecha de terminación del trabajo: Diciembre 2015

NOMBRES Y FIRMAS DE AUTORIZACIÓN PARA SUSTENTAR:

AUTOR: LEONARDO DAYAN JAIMES RODRÍGUEZ..... \_\_\_\_\_

DIRECTOR: Ing. LUIS DAVID PABÓN FERNÁNDEZ..... \_\_\_\_\_

DIRECTOR DE PROGRAMA: MSC. VÍCTOR GARRIDO ARÉVALO..\_\_\_\_\_

JURADO CALIFICADOR:

PRESIDENTE: M. Sc. PABLO SANTAFÉ GUTIÉRREZ..... \_\_\_\_\_

OPONENTE: M. Sc. VÍCTOR GARRIDO ARÉVALO..... \_\_\_\_\_

SECRETARIO: Ing. FRANCISCO BORJA LÓPEZ..... \_\_\_\_\_

**UNIVERSIDAD DE PAMPLONA**

**FACULTAD DE INGENIERÍAS Y ARQUITECTURA**

**DEPARTAMENTO DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA,**

**SISTEMAS Y TELECOMUNICACIONES**

**PROGRAMA DE INGENIERÍA ELÉCTRICA**

**PAMPLONA, COLOMBIA**

**2015**

## Dedicatoria

*Primero que todo a Dios, todo el honor y la gloria para el rey de reyes, mi bastón para levantarme. Yo soy la luz del mundo el que me siga no caminará a oscuras sino que tendrá la luz de la vida Jn. 8 12.*

*A mi madre Elvira Rodríguez Quintero porque siempre me dio la fuerza psicológica y moral cuando la necesite creyendo en mí desde que este sueño empezó, tus palabras siempre enriquecieron mi corazón, la nobleza, la humildad y respeto por los demás, gracias por tu educación basada en amor y comprensión.*

*A mi padre Pedro Elías Jaimes Suarez por enseñarme que jamás hay que rendirse que nací para ser un ganador, la paciencia en los momentos duros y nunca dejarme solo anímicamente y económicamente, el esfuerzo en tu trabajo siempre me lleno de motivos para darte la satisfacción de terminar este sueño.*

*A mi hermano Ronaldo Jaimes Rodríguez mi amigo más sincero, siempre quiero que seas el mejor, por eso te dejo este ejemplo para que lo superes y seas mejor.*

*A mis abuelos Gumerinda Quintero, Elvira Suarez, Rafael Rodríguez, por ese amor y todos sus consejos.*

*A mi novia Ingrid Calderón Triana porque desde que te conocí creíste en mí llenándome de seguridad frente a cualquier reto, muchas veces tus palabras solucionaron lo que los libros no hacen ese amor incondicional aportaron mucha*

## **Agradecimientos**

*Agradezco especialmente a mi director de trabajo de grado Ing. Luis David Pabón Fernández por su apoyo académico y moral para culminar exitosamente el trabajo de grado, la disposición de su tiempo la mejor ayuda.*

*Al Profesor Ing. Edison Andrés Caicedo Peñaranda, su experiencia en el área fue de gran aporte para este trabajo.*

*Al director de programa Msc. Víctor Garrido Arévalo, por su amabilidad y disposición para la solución en los inconvenientes que se me presentaron en la carrera.*

*A todos mis profesores de la carrera por los conocimientos brindados.*

*Al grupo de investigación de sistemas energéticos por brindarme el espacio y los medios para realizar el trabajo.*

*A mis padres por Financiarne de comienzo a fin los amo.*

## RESUMEN

En este trabajo de grado se realizó el análisis, diseño e implementación de un inversor multinivel enclavado por diodos, con un máximo de cinco niveles. Se determinó la topología del inversor teniendo estos aspectos claros, se seleccionó la modulación (PWM) aplicable a la fijación de diodos, que además brinda optimización de armónicos y se diseñaron las etapas del inversor. Esta técnica se entrena en un Controlador Digital de Señales (FPGA) que genera la señalización para el control de dicho inversor. Las simulaciones de la modulación de inversor multinivel fijado por diodos se realizaron en Matlab y el diseño del circuito impreso en Eagle. Las pruebas se realizarán con carga resistiva como resultado a esto se construirá un prototipo y por último se validarán los resultados.

En los inversores multinivel se pueden encontrar variadas topologías, básicas como son el de medio puente, de puente completo y otros más complejos con conexión en cascada de puentes “H”. El uso de estos elementos es de vital importancia en la industria, cumpliendo funciones en un caso de fuentes de potencia (UPS, S, soldadores, cortadores, hornos de inducción, fuentes de voltaje conmutadas) y en drivers para motores (activación de robots, aire acondicionado, elevadores, servos de AC) que ocasionan distorsión armónica en la señal disminuyendo su calidad de energía ocasionando perturbaciones en el servicio eléctrico [1].

Recientemente los convertidores multinivel se han consolidado como una opción competitiva para la conversión de energía en el rango de media-alta potencia, principalmente desde el punto de vista económico, que en la actualidad es uno de los factores que más pesa a la hora de realizar un proyecto [1].

## ABSTRACT

This paper grade analysis, design and implementation of a multilevel inverter locked diode with a maximum of five levels we were performed. The topology of the inverter is determined taking these gray areas, modulation (PWM) applicable to the setting of diodes, which also provides optimization of harmonics and inverter stages were designed was selected. This technique is trained on a Digital Signal Controller (FPGA) which generates the signal for controlling said inverter. Simulations modulation multilevel inverter set by diodes were performed in Matlab and the PCB design in Eagle. The tests were carried out with resistive load as a result of this prototype will be built and finally validate the results.

In multilevel investors you can find various topologies, such as the basic half-bridge, full bridge and other more complex with cascading bridges “H”. The use of these elements is of vital importance in the industry , fulfilling functions in case of power supplies ( UPS ' S , welders, cutters , induction furnaces , switch mode voltage) drivers and engines (activation of robots, air conditioning, elevators , AC servos ) that cause harmonic distortion in the signal quality decreasing energy caused disruptions in electrical service [1] .

Recently, multilevel converters have emerged as a competitive option for power conversion halved in the high - power range, especially from the economic point of view, which today is one of the factors that weighed when making a project [1].

## TABLA DE CONTENIDO

<b>RESUMEN</b> .....	6
<b>ABSTRACT</b> .....	7
<b>ÍNDICE DE FIGURAS</b> .....	11
<b>ÍNDICE DE TABLAS</b> .....	16
<b>ÍNDICE DE ECUACIONES</b> .....	17
<b>PLANTEAMIENTO DEL PROBLEMA</b> .....	19
<b>JUSTIFICACIÓN DEL PROBLEMA</b> .....	19
<b>DELIMITACIÓN</b> .....	21
<b>OBJETIVO GENERAL</b> .....	21
<b>OBJETIVOS ESPECÍFICOS</b> .....	21
<b>ACOTACIONES</b> .....	21
<b>CAPÍTULO 1</b> .....	22
<b>MARCO TEÓRICO</b> .....	22
<b>1. Generalidades del Inversor Multinivel</b> .....	23
<b>1.1. Topologías</b> .....	24
<b>1.1.1 Inversor multinivel Fijado por Diodos (NPC)</b> .....	24
<b>1.1.1.1 Principio de operación</b> .....	26
<b>1.1.1.2. Propiedades del inversor NPC</b> .....	29
<b>1.1.1.3 Caso de estudio</b> .....	31
<b>1.1.2. Inversor multinivel con capacitores Flotantes</b> .....	33
<b>1.1.2.1. Desventajas</b> .....	34
<b>1.1.3. Inversor multinivel con Puente H en cascada</b> .....	34
<b>1.1.3.1 Desventajas</b> .....	35
<b>1.2 Técnicas de modulación</b> .....	36
<b>1.2.1. Modulación PWM Senoidal</b> .....	36
<b>1.2.2 Modulación escalera</b> .....	39
<b>1.2.3 Cancelación selectiva de armónicos</b> .....	39

1.2.4. Modulación Vectorial (SVM).....	40
1.3 Técnicas de control.....	41
1.3.1. Técnicas clásicas de control lineal .....	42
1.3.2. Técnicas de control lineal multivariable .....	42
1.3.3. Técnicas de control no lineal .....	42
1.4. Optimización del bus de CD, balanceo de Condensadores .....	43
1.5. Nivel armónico permitido por la norma IEEE.....	45
<b>CAPÍTULO 2.....</b>	<b>45</b>
<b>DISEÑO DEL INVERSOR MONOFASICO. ....</b>	<b>45</b>
2.1 Inversor multinivel de cinco niveles por fijación de diodos .....	46
2.2 Cálculo del número de componentes mínimos para la implementación .....	46
2.3 Selección de los interruptores de potencia .....	47
2.4 Generación de las señales de control para la modulación Step y PWM-multinivel .....	48
2.5 Algoritmo de control para la modulación step .....	51
2.6 Algoritmo de control optimizado.....	54
2.7 Cálculo de la fuente en DC de alimentación y corriente en la carga .....	57
2.8Cálculo de los condensadores.....	59
2.9 Cálculo de los diodos de fijación .....	61
2.10 Acondicionamiento de la señal de control de puerta de los Mosfet IRFP450... ..	62
2.11. Cálculo del transformador .....	66
<b>CAPÍTULO 3.....</b>	<b>71</b>
<b>ETAPAS DEL INVERSOR Y RESULTADO DE PRUEBAS REALIZADAS AL DISEÑO. ....</b>	<b>71</b>
3.1 Aislamiento .....	71
3.2 Pruebas de laboratorio al optoacoplador.....	72
3.3 Etapa de negación .....	73
3.4 Tiempo muerto .....	74
3.5 Etapa de activación mediante drivers .....	75

3.6 Etapa de alimentación de para la etapa de control.....	78
3.7 Prueba de funcionamiento en protoboard .....	79
<b>CAPÍTULO 4.....</b>	<b>81</b>
<b>RESULTADOS DE MPLEMENTACIÓN Y VALIDACIÓN.....</b>	<b>81</b>
4.1 Implementación.....	81
4.1.1 Tarjeta de control y potencia .....	81
4.1.2 Circuito impreso de la tarjeta de control y potencia .....	82
4.1.3 Descripción de la etapa de potencia.....	82
4.1.4. Descripción de la etapa de control.....	83
4.1.5 Señales de accionamiento de los Mosfet.....	84
4.2 Validación de la modulación Step.....	86
4.1.6 Modulo de Implementación.....	87
4.3 Validación de la modulación PWM optimizada.....	88
<b>CAPÍTULO 5.....</b>	<b>90</b>
<b>ANALISIS COMPARATIVO.....</b>	<b>90</b>
5.1. Comparación analítica y técnica 1.....	90
5.2. Comparación analítica y técnica 2.....	92
5.3. Aportes hechos del proyecto en el área de investigación del grupo sistemas energéticos.....	94
<b>CAPÍTULO 6.....</b>	<b>96</b>
<b>CONCLUSIONES.....</b>	<b>96</b>
<b>BIBLIOGRAFÍA.....</b>	<b>98</b>

## ÍNDICE DE FIGURAS

<b>Contenido</b>	<b>Página.</b>
Figura 1. Aplicaciones de los dispositivos de potencia.....	20
Figura 2 Esquema de un inversor multinivel.....	22
Figura 3. Topología de un inversor monofásico NPC de tres niveles.....	23
Figura 4. Flujo de corriente del inversor.....	25
Figura 5. Forma de onda de salida del inversor NPC de tres niveles.....	26
Figura 6. Inversor por fijación de diodos de cinco niveles.....	29
Figura 7. Forma de onda de salida de tensión del inversor con fijación de diodos de cinco niveles.....	30
Figura 8. Rama de fase de un inversor Flying Capacitor de tres niveles....	31
Figura 9. Rama de fase de un inversor en cascada de cinco niveles y su forma de Onda asociada.....	33
Figura 10. Estrategias de modulación multinivel.....	34
Figura 11. Tensión de salida escalonada generalizada con un ángulo de conmutación.....	38
Figura 12. Diagrama de vectores de estado y vector de modulación Por un inversor de tres niveles.....	39
Figura 13. Equilibrado de las capacidades mediante la estrategia	

	de conmutación.....	41
Figura 14.	Equilibrio de las capacidades mediante el controlador.....	42
Figura 15.	Inversor por fijación de diodos de cinco niveles en diseño, con sus respectivas señales de control.....	47
Figura 16.	Forma de onda y ángulo de disparo para el inversor en diseño de cinco niveles mediante una modulación step.....	48
Figura 17.	Diagrama de flujo del algoritmo de control.....	49
Figura 18.	Pulsos para el disparo de los Mosfet S1, S2, S3, S4.....	50
Figura 19.	Espectro armónico de la modulación step.....	51
Figura 20.	Bloque para obtener las señales de los Mosfet, (S1-S4).....	51
Figura 21.	Evolución del algoritmo genético.....	52
Figura 22.	Forma de onda de la modulación PWM optimizada.....	53
Figura 23.	Espectro armónico con modulación PWM optimizada, en función de los ángulos de disparo.....	53
Figura 24.	Señales de activación con la modulación PWM optimizada.....	54
Figura 25.	Lazo de retroalimentación para los condensadores de bootstrap.....	57

Figura 26.	Activación de Mosfet con un solo drivers.....	57
Figura 27.	Drivers IR2110 usando sus dos canales de activación.....	58
Figura 28.	Circuito de acople con etapa de potencia.....	59
Figura 29.	Circuito recomendado por la hoja de características que está en los anexos.....	62
Figura 30.	Señal de entrada y salida de optoacoplador 6N137.....	63
Figura 31.	Señal de interruptor S1 y S1'.....	64
Figura 32.	Tiempo muerto de la señal S1 y S1'.....	64
Figura 33.	Esquema usado para la activación de los Mosfet S1 aS2'.....	65
Figura 34.	Esquema eléctrico encontrado en la hoja de características.....	66
Figura 35.	Circuito de acoplamiento en pruebas de laboratorio.....	67
Figura 36.	Circuito de alimentación en casada para la etapa de control.....	68
Figura 37.	Prueba de funcionamiento con una modulación Step.....	69
Figura 38.	Modulación en Matlab y Modulación en pruebas de laboratorio...	70
Figura 39.	Tarjeta que tiene la etapa de control y potencia Implementado.....	71
Figura 40.	Circuito impreso etapa de control y potencia implementada.....	72

Figura 41.	Descripción de la etapa de potencia implementada.....	73
Figura 42.	Descripción de la etapa de control implementada.....	74
Figura 43.	Señales de control implementadas para S4 y S4'.....	74
Figura 44.	Señales de Control Implementadas para S3 y S3'.....	75
Figura 45.	Señales de control implementadas para S2 y S2'.....	75
Figura 46.	Señales de control implementadas para S1 y S1'.....	80
Figura 47.	Módulo de la Implementación.....	81
Figura 48.	Señal de salida del inversor.....	82
Figura 49.	Validación de THD de la modulación Step.....	82
Figura 50.	Señal AC de salida del inversor Optimizada.....	83
Figura 51.	Validación de THD de la modulación Optimizada.....	84
Figura 52.	Forma de onda de tensión a la salida del convertidor, en Labview [23].....	85
Figura 53.	Señal de salida AC del inversor por fijación de diodos.....	86
Figura 54.	Prototipo experimental con FPGA [23].....	87
Figura 55.	Prototipo experimental con FPGA.....	87
Figura 56.	Voltaje de la Fase A del inversor con implementación De la eliminación selectiva de armónicos [24].....	88

Figura 57.	Señal de salida AC del inversor por fijación de diodos con Optimización de armónicos.....	89
Figura 58.	Espectro armónico presente en el inversor trifásico al aplicar La eliminación selectiva [24].....	90
Figura 58.	Espectro armónico presente en el inversor por fijación de diodos al aplicar la Optimización.....	90

## ÍNDICE DE TABLAS

<b>Contenido</b>	<b>Página</b>
Tabla 1. Relación de combinaciones de Switching a Estados de Switching.....	26
Tabla 2. Relación de combinaciones de Switching con las salidas de voltaje.....	30
Tabla 3. Amplitudes de los armónicos.....	36
Tabla .4. Distorsión Armónica Total Permitido Según la IEEE 519.....	43
Tabla 5. Estados de conmutación para el inversor en diseño.....	48
Tabla 6. Matriz de disparo de los Mosfet para el primer ciclo de onda step.....	49
Tabla 7. Numero de vueltas para las tensiones de diseño en el transformador...	69
Tabla 8. Valores usados en la práctica fueron.....	71
Tabla 9. Componentes y valor electrónicos usados para el driver IR2110.....	76
Tabla 10. Cuadro Comparativo.....	93

## ÍNDICE DE ECUACIONES

<b>Contenido</b>	<b>Página</b>
Ecuación 1. Voltaje de bloqueo.....	27
Ecuación 2. Modulación de amplitud.....	35
Ecuación 3. Modulación de frecuencia.....	35
Ecuación 4. Componente armónica fundamental.....	35
Ecuación 5. Número de condensadores del bus de CD.....	35
Ecuación 6. Número de diodos para el inversor monofásico.....	45
Ecuación 7. Numero de Interruptores de potencia para el inversor monofásico.....	45
Ecuación 8. Función Fitness.....	47
Ecuación 9. Tensión en DC máxima pico a pico.....	51
Ecuación 10. Voltaje rms en AC de salida.....	52
Ecuación 11. Corriente rms AC de salida.....	52
Ecuación 12. Corriente pico de salida en AC.....	52
Ecuación 13. Voltaje presente en cada condensador.....	52
Ecuación 14. Formula de capacitancia.....	53
Ecuación 15. Variación del voltaje en dc en fusión del rizado.....	53
Ecuación 16. Capacitancia real teniendo en cuenta el rizado.....	54
Ecuación 17. Rango de rizado.....	54
Ecuación 18. Energía total suministrada por el bus de DC.....	54

Ecuación 19.	Capacitancia mínima requerida por cada condensador.....	55
Ecuación 20.	Capacitancia requerida con un factor de seguridad del 90%.....	55
Ecuación 21.	Calculo del ángulo del perfil de tensión en función de la relación de transformación.....	65
Ecuación 22.	Ecuación para hallar la relación de transformación.....	66
Ecuación 23.	Fórmula para hallar el valor $V_{rms}$ .....	66
Ecuación 24.	Voltaje rms para el perfil de tensión de la señal AC del inversor..	67
Ecuación 25.	Área del nucleó.....	68
Ecuación 26.	Relación de transformación.....	68
Ecuación 21.	Calculo de la resistencia de entrada de la alimentación de control.	68

### **PLANTEAMIENTO DEL PROBLEMA**

El problema general es que la señal del inversor no es sinusoidal y mientras eso suceda será materia de estudio, además surge de la necesidad de proporcionar un suministro de alta calidad al consumidor con alimentación de energías renovables o no, para mantener en un rango bueno la calidad de la energía del sistema, según lo establecido por el ente encargado y es lo que actualmente tienen mayor explotación a nivel mundial. También es un aspecto importante para el planteamiento del problema el aumento de las cargas no lineales conectadas a la red que ocasionan innumerables problemas de distorsión armónica que se ve reflejado en la pérdida de eficiencia del sistema de potencia, a pesar de que las cargas se alimentan con una tensión sinusoidal este tipo de cargas al tener dispositivos semiconductores no absorben corrientes sinusoidal, las cuales incrementan el THD (total de distorsión armónica) de la red ocasionando perturbaciones a los demás usuarios conectados a la red [1]. Entre los aspectos más desfavorables se destacan el deterioro de equipos de potencia como transformadores y plantas, afectando seriamente su regulación de tensión. Datos erróneos en equipos de cómputo, ruido en equipos de comunicación y disparo de tiristores en equipos convertidores.

### **JUSTIFICACIÓN DEL PROBLEMA**

Los inversores multinivel se han consolidado en los últimos años como una opción competitiva para la conversión de energía en el rango de meda, alta potencia, garantizando calidad de energía favoreciendo aspectos técnico y económicos. Los convertidores multinivel gracias a sus múltiples niveles tienen diferentes niveles de tensión en continua por eso es considerado un sintetizador de tensión estos niveles se modifican en las ramas de conmutación, lo que nos brinda ventajas como la de trabajar a niveles elevados de tensión utilizando los mismos dispositivos que un convertidor convencional, reducción de armónicos en la onda de tensión debido a la salida escalonada en que se genera y como fin se utiliza para compensar y mejorar la calidad de la energía y prestando un servicio de calidad al usuario sin dañar la red de suministro de energía eléctrica [2].

Respecto a los aspectos de seguridad y de calidad de la energía producida por los sistemas energéticos, las compañías suministradoras del servicio eléctrico requieren, de los fabricantes y usuarios de estos equipos, el cumplimiento de normas y disposiciones aplicables que garanticen que la instalación y operación del inversor, y del sistema en su totalidad, sea segura y no afecte adversamente la calidad de la energía [3]. Según normativas internacionales como la IEC 61000 en Europa y la IEEE 519-1992, en Estados Unidos, establecen que el contenido armónico total en la onda de tensión debe estar como máximo en 5% para redes en baja tensión, mientras que en media y alta tensión el nivel máximo recomendado por los organismos internacionales es de 3%. En los últimos años, diversos grupos de investigación y organismos internacionales han enfocado esfuerzos hacia la comprensión y resolución de la problemática asociada con la confiabilidad de las energías alternativas e instalaciones industriales con motores de inducción, amplios estudios con una enorme cantidad de sistemas instalados en el mundo [4].

## **DELIMITACIÓN**

### **OBJETIVO GENERAL**

Diseñar e implementar un inversor multinivel monofásico por fijación de diodos con optimización armónica.

### **OBJETIVOS ESPECÍFICOS**

- Definir los niveles y la topología a utilizar en convertidor multinivel por fijación de diodos.
- Determinar una modulación multinivel aplicable a la fijación de diodos con optimización de armónicos.
- Diseñar las etapas del inversor por fijación de diodos.
- Simular el funcionamiento del inversor multinivel por fijación de diodos.
- Implementar el convertidor por fijación de diodos diseñado.
- Realizar pruebas de funcionamiento y validación al prototipo implementad.

### **ACOTACIONES**

- Este proyecto no cubre la optimización del bus de CD.
- Las simulaciones se realizaran en Matlab.
- Durante el desarrollo del proyecto se definirán los parámetros como Voltaje, corriente, potencia y niveles.

# CAPÍTULO 1.

## MARCO TEÓRICO.

Este tipo de conversión puede considerarse un área joven en el entorno de la inversión de energía, presentando una gran expectativa debido a que la tensión de salida de estos convertidores presenta un contenido armónico inferior a la obtenida por un convertidor convencional [5]. En los sistemas de energías alternativas, la calidad de la energía depende exclusivamente del convertidor, del cual en la literatura se han reportado diversos esquemas de funcionamiento; el tradicional puente completo y medio puente [6] y dentro de las topologías que se han desarrollado en los últimos años con fuerza están las denominadas Multinivel. En la investigación y desarrollo de los convertidores multinivel se encuentran tres topologías básicas: fijación por diodos (Diode-clamped) [7], capacitancias flotantes (flying-capacitor) [8] y en cascada con puentes monofásicos (full-bridge).

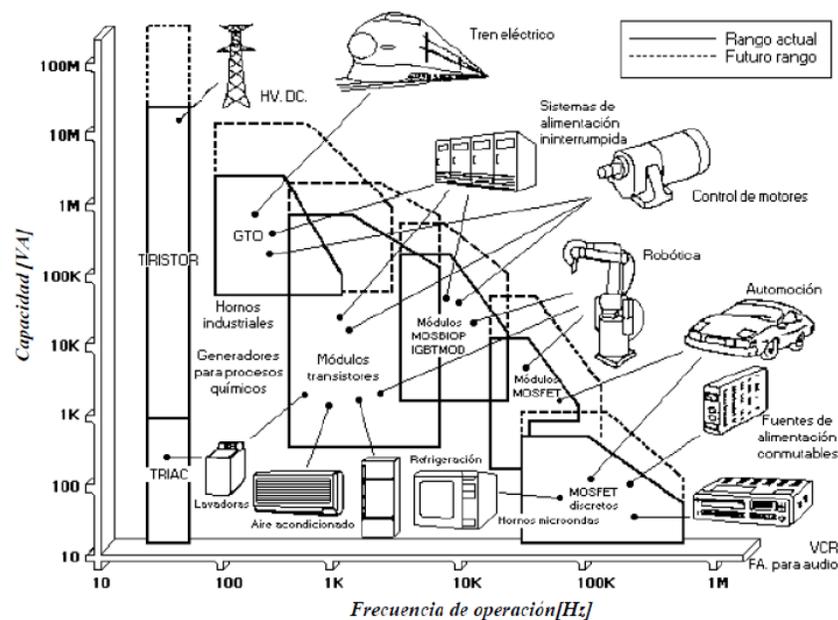


Figura 1. Aplicaciones de los dispositivos de potencia [6].

## 1. Generalidades del Inversor Multinivel

La función principal de los inversores es obtener un voltaje alterno a partir de una fuente de voltaje continua. Si esa fuente de voltaje continuo se divide en varios niveles de menor valor, sería posible generar un voltaje de salida alterno, con niveles de tensión escalonados, utilizando inversores multinivel.

Los inversores multinivel incluyen un arreglo de semiconductores y fuentes de voltaje, para formar un voltaje de salida escalonado. Las conmutaciones de los semiconductores permiten la suma o resta de las distintas fuentes de voltaje continuo, generando una onda de voltaje y amplitud variable [9]. Se constituye principalmente por dispositivos electrónicos de potencia, que trabajan como interruptores operando en corte y saturación con una secuencia apropiada para obtener tres tensiones de salida simétricas y balanceadas. El controlador es otro componente fundamental en la constitución del convertidor, es el que genera las señales de encendido y apagado de los dispositivos semiconductores y garantiza su buen comportamiento. Cualquier tipo de inversor (monofásico o trifásico) utilizan dispositivos con activación y desactivación controlada (es decir BJT, MOSFET, IGBT, MCT, SIT, GTO) o tiristores de conmutación forzada, según la aplicación [10]. La acción del semiconductor que se usa para hacer la conmutación está representado por un interruptor ideal con distintas posiciones. La figura 2 a) genera una salida de voltaje con dos valores (niveles) distintos,  $V_{cc}$  y cero, con respecto al terminal negativo de la fuente ("o"), la figura 2 b) tiene 3 niveles de voltaje distintos y el 2 c) de  $m$  niveles [9]. La función de un inversor es cambiar un voltaje de entrada de corriente directa a un voltaje simétrico de salida de corriente alterna, con la magnitud y frecuencia deseada. Los inversores son utilizados en una gran variedad de aplicaciones, desde pequeñas fuentes de alimentación para computadoras, hasta aplicaciones industriales para manejar alta potencia [11].

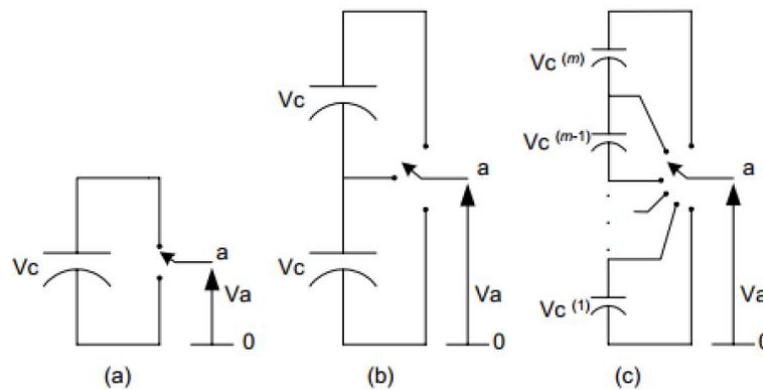


Figura 2. Esquema de un inversor multinivel [12].

## 1.1. Topologías

Este trabajo de grado está centrado en el inversor multinivel CC/CA por Fijación de Diodos (NPC), para este caso particular el mayor interés está en la topología (NPC). Se desea mostrar las diferentes características de ella. Dentro de las topologías multinivel más conocidas se encuentran:

- Inversor multinivel Fijado por Diodos (NPC).
- Inversor multinivel con capacitores Flotantes.
- Inversor multinivel con Puente H en cascada.

### 1.1.1 Inversor multinivel Fijado por Diodos (NPC)

Este inversor consiste en una cadena de semiconductores en serie, en paralelo con una cadena de condensadores, también en serie. Los condensadores permiten generar una cadena de fuentes de tensión en serie a partir de una sola fuente continua de alimentación. Existe una unión con diodos entre estas dos cadenas, que conecta semiconductores superiores e inferiores tal como muestra la ilustración siguiente, para un convertidor de  $m$  niveles.

El inversor multinivel de diodo anclado, fue presentado por Nabae en el año de 1980, se conoce también con el nombre de NPC (Neutral Point Clamped), o convertidor fijado al punto neutro, es una de las topologías multinivel más ampliamente estudiadas y aplicadas dentro del conjunto de inversores, y es considerada como el origen de la conversión reciente. En la figura 3 se presenta el inversor NPC de tres niveles de voltaje, en este caso particular, el voltaje continuo de entrada  $V_i$ , se divide mediante dos capacitores. El voltaje de salida para cada fase puede tomar tres niveles diferentes,  $V_i/2$ , 0 y  $-V_i/2$ . Los diodos de salida conectados al punto neutro del bus de continua fijan el voltaje de bloqueo de dos interruptores a una fracción del voltaje de CD de entrada, es decir a  $V_i/2$  en este caso. Esta topología de inversor de tres niveles NPC tiene los siguientes componentes [13]:

- Cuatro interruptores (Q1- Q4).
- Cuatro diodos de circulación libre.
- Dos diodos fijadores de voltaje.
- Dos capacitores divisores de voltaje.
- Una fuente de CD.

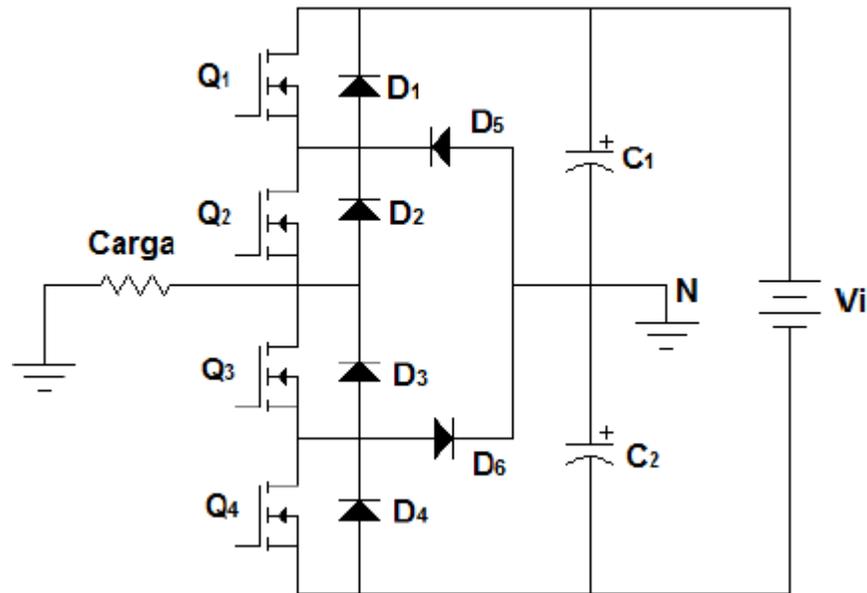


Figura 3. Topología de un inversor monofásico NPC de tres niveles [13].

### 1.1.1.1 Principio de operación

El análisis se realiza en estado estacionario, se consideran los elementos que componen al inversor como dispositivos ideales sin pérdidas.

- 1) Primera operación ( $t_0$ ): En este instante conducen los diodos D1 y D2, la corriente esta en atraso respecto a la tensión. La tensión de salida es  $V_i/2$  (figura 4(a)).
- 2) Segunda etapa de operación ( $t_1$ ): En  $t_1$  la corriente es cero, se invierte la polaridad de los diodos D1 y D2 y comienza a conducir los interruptores Q1 y Q2. La tensión de salida es  $V_i/2$  (figura 4 (b)).
- 3) Tercera etapa e operación ( $t_2$ ): en  $t_2$  deja de conducir el interruptor Q1, sigue conduciendo Q2, y comienza a conducir Q3. La corriente fluye por D5 si esta va del punto neutro a la carga, y fluye por D6 si estaca de la carga al punto neutro. La tensión de salida es cero (figura 4 (c)).
- 4) Cuarta etapa de operación ( $t_3$ ): en  $t_3$  conducen los diodos fijadores de tensión D3 y D4 debido a que la corriente no se ha invertido. La tensión de salida es  $V_i/2$  (figura 4 (d)).
- 5) Quinta etapa de operación ( $t_4$ ): en  $t_4$  deja de conducir el interruptor Q2, se invierte la polaridad de los diodos D3 y D4, sigue conduciendo Q3 y empieza a conducir Q4. La tensión de salida es  $-V_i/2$  (figura 2.4 (e)).
- 6) Sexta etapa de operación  $t_5$ : en  $t_5$  deja de conducir Q4, sigue conduciendo Q3 y comienza a conducir Q2. La corriente fluye por D5 si esta va del punto neutro a la carga, y fluye por D6 si esta va de la carga al punto neutro. La tensión de salida es cero (figura 2.4 (f))

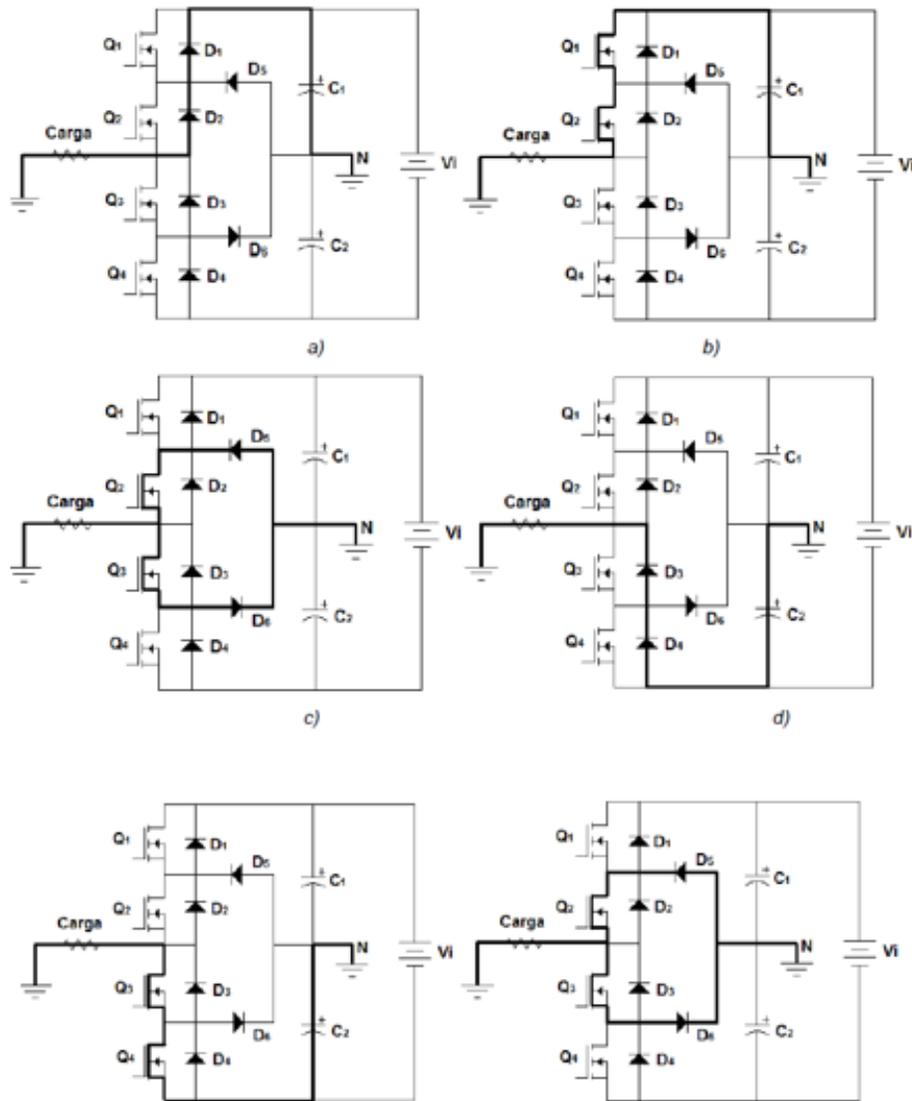


Figura 4. Flujo de corriente del inversor [13].

La topología (NPC VSI) está conformada por dos condensadores conectados en serie ( $C1$  y  $C2$ ) que son cargados a un mismo voltaje  $VDC$ , con el punto medio “o” del DC-LINK como el punto neutro del voltaje DC. Cada pierna del inversor está formada por cuatro dispositivos de switching conectados en serie y dos diodos de enclavamiento. Estos diodos permiten enclavar la tensión de las conmutaciones medias al punto “o” del DC-LINK. Si se desea generar la salida de tensión de tres niveles en cada fase, las combinaciones de switching deben respetar el ordenamiento presentado en la tabla 1 en todo tiempo. Se logra

apreciar que en cada combinación de switching factible, dos de cuatro dispositivos de conmutación deben estar activos y los terminales de salida pueden estar conectados a cualquiera de los tres puntos del DC-LINK (“p”, “o” o “n”) que pueden ser representados por estados de switching (P, O o N), por ejemplo el estado de switching “N” representa la conexión del terminal de salida al punto del DC-LINK “n” [14].

Tabla 1. Relación de combinaciones de Switching a Estados de Switching [14].

Estados de Switching	S1x	S2x	S3x	S4x	Vxo
P	ON	ON	OFF	OFF	VDC
0	OFF	ON	ON	OFF	0
N	OFF	OFF	ON	ON	-VDC

En la figura 5, se muestra la forma de onda de voltaje de salida para el inversor NPC de tres niveles, además del periodo de conducción de los interruptores.

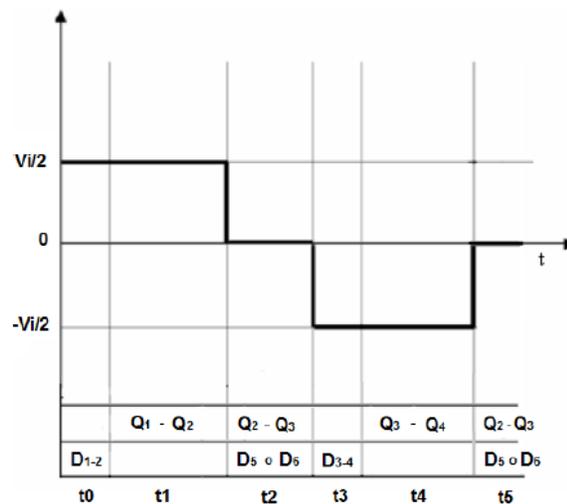


Figura 5. Forma de onda de salida del inversor NPC de tres niveles [13].

### 1.1.1.2. Propiedades del inversor NPC

Este inversor consiste en una cadena de semiconductores en serie, en paralelo con una cadena de condensadores, también en serie. Los condensadores permiten generar una cadena de fuentes de tensión en serie a partir de una sola fuente continua de alimentación.

#### 1.1.1.2.1. Especificaciones de alto voltaje para diodos de bloqueo.

Aunque cada dispositivo de conmutación solo debe bloquear un nivel de voltaje  $V_{DC}/(m-1)$ , los diodos fijadores deben tener distintas especificaciones de bloqueo de voltaje en sentido inverso. Si el voltaje nominal de bloqueo de cada diodo es igual al del dispositivo conmutador, cantidad de diodos necesarios para cada fase es  $N_D = (m-1)*(m-2)$ . Esta cantidad representa un aumento cuadrático en  $m$ . Así, para  $m = 5$ ,  $N_D = (5-1)*(5-2) = 12$ . Cuando  $m$  es suficientemente grande, la cantidad de diodos hace impráctica la implementación del sistema, lo cual limita, de hecho, la cantidad de niveles. En una rama de  $m$  niveles puede haber dos diodos, viendo cada uno un voltaje de bloqueo de [13]:

$$V_D = \frac{m-1-k}{m-1} * V_{CD} \quad (1)$$

Ecuación 1. Voltaje de bloqueo [13].

Donde:

$m$  es la cantidad de niveles.

$K$  va de 1 a  $(m-2)$ .

$V_{DC}$  es el valor total de enlace de CD.

#### **1.1.1.2.2 Desbalance de voltaje de capacitores.**

Como los niveles de voltaje en las terminales de capacitor son diferentes, las corrientes que suministran los capacitores también son diferentes. Cuando operan con un factor de potencia unitario, el tiempo de descarga para la operación del inversor (o el tiempo de carga para la operación de rectificación), es distinto para cada capacitor. Ese perfil de carga del capacitor se repite cada medio ciclo, y el resultado son voltajes desbalanceados de capacitor, entre los distintos niveles. Este problema de desbalance de voltaje en un convertidor multinivel se puede resolver con métodos como remplazar capacitores por una fuente controlada de voltaje CD constante, reguladores de voltaje PWM o con baterías [13].

#### **1.1.1.2.3 Ventajas:**

Las ventajas principales del inversor NPC se pueden resumir de la siguiente manera:

- Cuando la cantidad de niveles es suficientemente alta, el contenido de armónicas es lo suficientemente bajo para evitar el uso de filtros.
- La eficiencia del inversor es alta, porque todos los dispositivos son conmutados a la frecuencia fundamental.
- El método es sencillo.

#### **1.1.1.2.4 Desventajas:**

- Las desventajas principales del inversor NPC se pueden resumir como:
- Se requiere demasiados diodos fijadores cuando la cantidad de niveles es elevada.
- Es difícil controlar el flujo de la potencia real del convertidor individual, en sistemas con varios convertidores.

### 1.1.1.3 Caso de estudio

Para nuestro caso particular se estudiara un inversor de cinco niveles con topología multinivel por fijación de diodos, cuyo esquema se muestra a continuación en la figura 6:

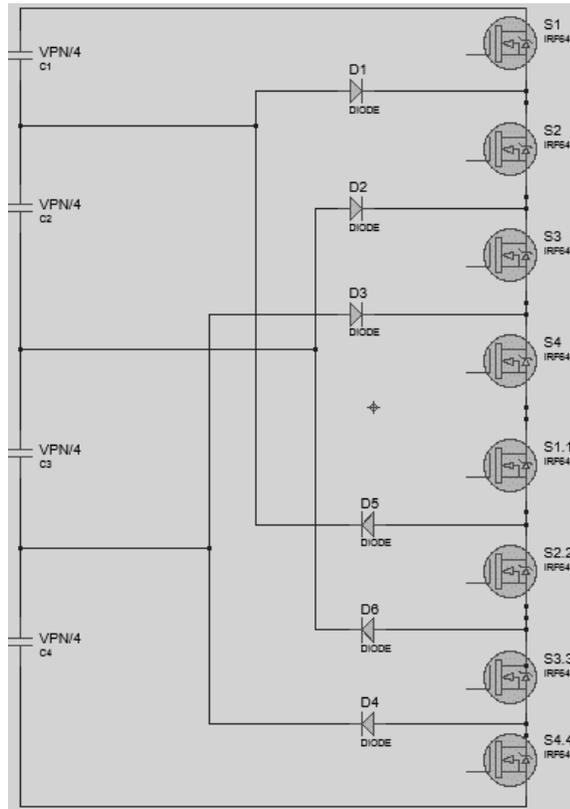


Figura 6. Inversor por fijación de diodos de cinco niveles.

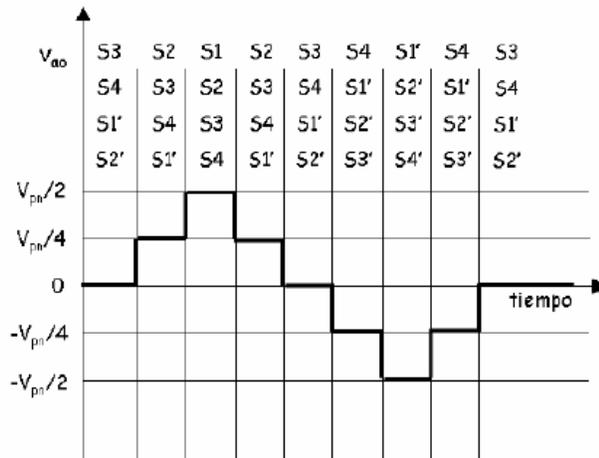


Figura 7. Forma de onda de salida de tensión del inversor con fijación de diodos de cinco niveles [9].

Tabla 2. Relación de combinaciones de Switching con las salidas de voltaje.

Entrada PWM				Estados de apagado y encendido de los Mosfet								
A	B	C	D	S1	S2	S3	S4	S1'	S2'	S3'	S4'	Vox
0	0	1	1	0	0	1	1	1	1	0	0	0V
0	1	1	1	0	1	1	1	1	0	0	0	$V_{pn}/4$
1	1	1	1	1	1	1	1	0	0	0	0	$V_{pn}/2$
0	1	1	1	0	1	1	1	1	0	0	0	$V_{pn}/4$
0	0	1	1	0	0	1	1	1	1	0	0	0v
0	0	0	1	0	0	0	1	1	1	1	0	$-V_{pn}/4$
0	0	0	0	0	0	0	0	1	1	1	1	$-V_{pn}/2$
0	0	0	1	0	0	0	1	1	1	1	0	$-V_{pn}/4$
0	0	1	1	0	0	1	1	1	1	0	0	0v

Las señales de activación de compuerta para los Mosfet  $S1'$ ,  $S2'$ ,  $S3'$ ,  $S4'$ , son las señales negadas de los Mosfet S1, S2, S3, S4, estas señales de activación se hacen mediante una

compuerta de negación HD74LS04, teniendo solo cuatro señales de entrada de modulación PWM A, B, C, D, que para los Mosfet de la parte baja del inversor serian A, B, C, D.

### 1.1.2. Inversor multinivel con capacitores Flotantes.

Propuesta por primera vez en 1992 y considerada como la alternativa más seria a la topología Diode-Clamped. En ella, los condensadores tienen por función fijar la tensión a un determinado nivel. Para lograr generar una tensión alterna fase-neutro de tres niveles a la salida ( $V_{dc}/2$ , 0,  $-V_{dc}/2$ ), los interruptores deben seguir una secuencia de conmutación. Para alcanzar el nivel de tensión  $V_{dc}/2$ , los interruptores  $S_1$  y  $S_2$  deben estar conduciendo; para  $-V_{dc}/2$ , deben conducir  $S_1'$  y  $S_2'$ ; y para el nivel 0, deben conducir  $S_1'$  y  $S_1$  ó  $S_2'$  y  $S_2$ . El condensador  $C_1$  se carga cuando  $S_1'$  y  $S_1$  conducen, y se descarga cuando lo hacen  $S_2'$  y  $S_2$ . La carga de  $C_1$  puede equilibrarse con una adecuada sincronización en la conmutación de los interruptores [15].

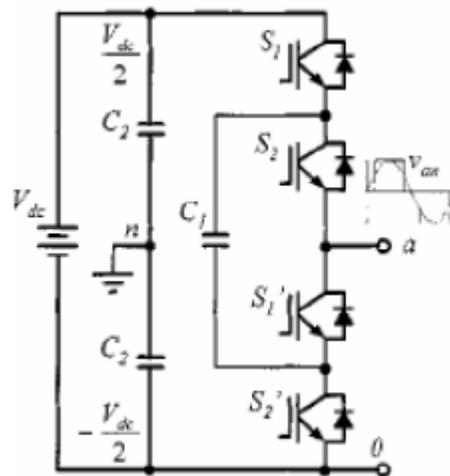


Figura 8. Rama de fase de un inversor Flying Capacitor de tres niveles [15].

A medida que aumenta el número de niveles, la topología Flying Capacitor se presenta como mejor solución que la topología Diode-Clamped, ya que necesita la mitad de condensadores que diodos la Diode-Clamped (en un inversor de  $n$  niveles,  $(n-1) \cdot (n-2)/2$

condensadores por fase) y además estos condensadores no presentan las limitaciones de los semiconductores. La ventaja más significativa de esta topología es que elimina los problemas generados en los diodos de la topología Diode-Clamped anterior. Por un lado, la topología Flying Capacitor limita el estrés provocado por las variaciones de tensión en los dispositivos, y por el otro, introduce estados de conmutación adicionales que pueden ayudar a mantener el equilibrio de tensión en los condensadores del bus de continua. Además, posee suficientes estados de conmutación como para garantizar este equilibrio con cualquier número de niveles. Esto la hace una topología muy atractiva, incluso para los convertidores CC/CC [15].

#### **1.1.2.1. Desventajas**

Hoy por hoy, esta topología parece presentar pocos inconvenientes. Sin embargo, existen diversos puntos débiles:

- El control de la tensión en los condensadores del bus de continua añade complejidad al control global del circuito.
- Se requiere un mayor número de condensadores que en la topología Diode-Clamped equivalente. Además, la corriente eficaz que circulan por estas capacidades es bastante elevada.
- Existe la posibilidad de que se genere una resonancia parásita entre los condensadores de desacoplo.

#### **1.1.3. Inversor multinivel con Puente H en cascada.**

Esta topología se basa en la conexión en serie de inversores monofásicos con fuentes de alimentación independientes. La figura 9, muestra el circuito de potencia para una rama de un inversor de nueve niveles con cuatro módulos en cada fase. Cada inversor monofásico en puente completo genera tres tensiones a su salida: ( $V_{dc}$ , 0,  $-V_{dc}$ ). Al encadenar los módulos en serie se obtiene una tensión alterna que oscila entre  $-4 \cdot V_{dc}$  y  $4 \cdot V_{dc}$  con nueve niveles de tensión, y la forma de onda está tan escalonada que es casi senoidal, incluso antes del filtrado [12].

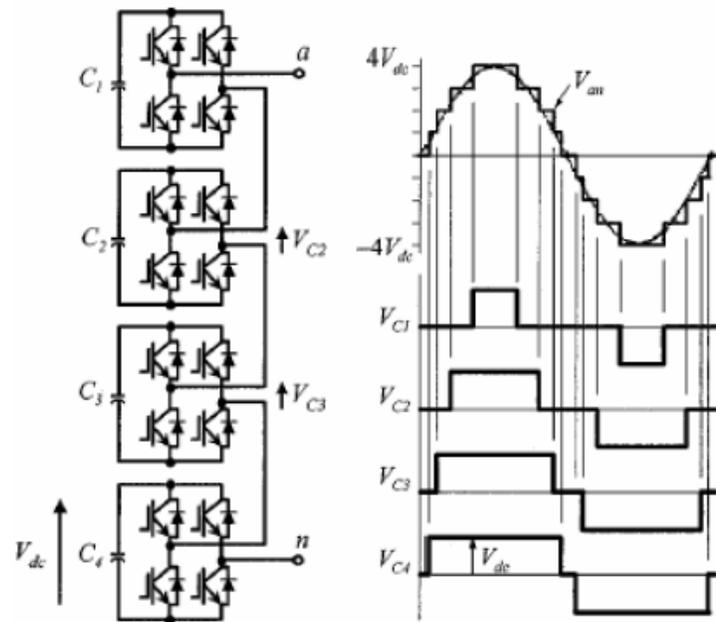


Figura 9. Rama de fase de un inversor en cascada de cinco niveles y su forma de

Onda asociada [15].

La modularidad de esta estructura permite un mantenimiento más sencillo y la redundancia que proporciona aumenta el grado de fiabilidad del sistema. Una de las principales ventajas de este enfoque híbrido es que se puede incrementar el número de salidas sin tener que añadir componentes adicionales, simplemente usando fuentes de alimentación con tensiones diferentes [15].

### 1.1.3.1 Desventajas

El principal problema que presenta este tipo de topología es el coste y complejidad que implica tener fuentes de tensión independientes para cada puente completo [15].

## 1.2 Técnicas de modulación

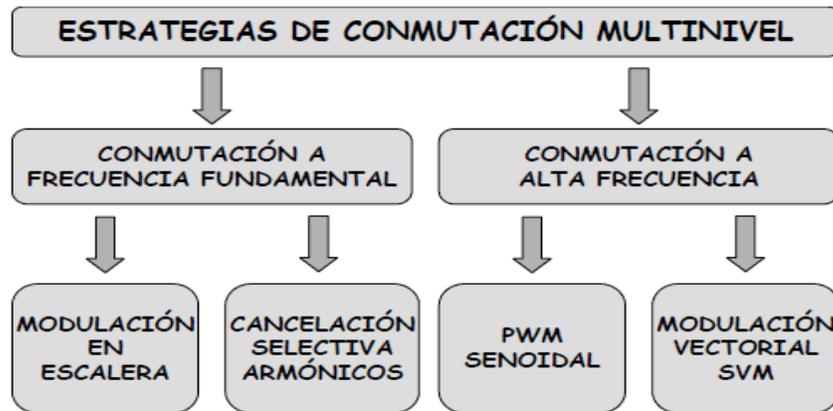


Figura 10. Estrategias de modulación multinivel [12].

### 1.2.1. Modulación PWM Senoidal

El control de la tensión de salida se efectúa mediante la variación del ancho de varios pulsos por semiperiodo con una separación variable entre los pulsos. En un inversor monofásico se obtiene las señales de control mediante la comparación de una señal senoidal que actúa de referencia ( $V_{ref}$ ), cuya amplitud es  $V_{ref}$  y de frecuencia  $f_{ref}$ , y una señal triangular  $V_{tri}$  cuya amplitud es  $V_{tri}$  y de frecuencia  $f_{tri}$ , la cual mantiene constante siempre su amplitud. El resultado de dicha comparación activará el circuito de excitación del inversor electrónico. La frecuencia de la señal de referencia es siempre constante y determina la frecuencia de la tensión de salida y la frecuencia de la señal triangular determinada el número de pulsos “p” por semiciclo. La variación de la tensión de salida desde los 0 voltios hasta la tensión máxima de salida se realiza mediante la variación de la amplitud de la señal senoidal de referencia ( $V_{ref}$ ), la cual determina la variación del ancho de los pulsos  $d$  desde un valor mínimo de  $0^\circ$  hasta un valor máximo, que depende de la relación entre la frecuencia de la señal de referencia y la de la señal triangular (índice de modulación de frecuencia) y que también depende de la relación entre las amplitudes de las dos señales.

Para realizar el análisis del control PWM en los inversores electrónicos de salida senoidal, en este caso se va a realizar el estudio de una rama de un puente inversor, es necesario definir algunos parámetros. El índice de modulación de amplitud se designa por la  $ma$  y su valor es por la Ec. (2):

$$ma = \frac{V_{ref}}{V_{tri}} \quad (2)$$

Ecuación 2. Modulación de amplitud [8].

El índice de modulación de frecuencia se designa por la  $mf$  y su valor es:

$$mf = \frac{f_s}{f_1} \quad (3)$$

Ecuación 3. Modulación de frecuencia [8].

Donde  $f_s$  es la frecuencia de conmutación de los interruptores, que es de igual valor que la frecuencia triangular, y  $f_1$  que es la frecuencia de la señal senoidal de referencia y que coincidirá con la componente armónica fundamental de la tensión de salida del inversor. Dado que los interruptores conducen alternativamente, la tensión a la salida de la rama varía continuamente entre los valores de continua ( $+V_{dc}/2$  y  $-V_{dc}/2$ ). Si se realiza el análisis del desarrollo de Fourier de la tensión de salida del inversor, se obtiene que el contenido de armónico de la tensión de salida  $V_{ao}$  se ha normalizado para una señal de control del tipo  $V_{ref} = V_{ref} \cdot \text{Sen}(\omega t)$  donde la amplitud de la señal de control no sea mayor que la de la señal triangular, la componente armónica fundamental ( $V_{A0}$ ) varía senoidalmente con una pulsación  $\omega_1$  y en fases con  $V_{ref}$ . Para valores de  $ma$  menores de 1, el valor máximo o amplitud que alcanza la componente armónica fundamental es igual a:

$$V_{A0} = ma \cdot \frac{V_{dc}}{2}; ma \leq 1 \quad (4)$$

Ecuación 4. Componente armónica fundamental [12].

Cuando se cumple la condición  $ma \leq 1$ , se observa que las componentes armónicas de la tensión de salida del inversor electrónico aparecen como bandas laterales centradas alrededor de la frecuencia de conmutación y múltiplos de  $mf$  ( $mf$ ,  $2mf$ ,  $3mf$ ...). El armónico de orden  $n$  correspondiente a la banda lateral de orden  $a$  veces el índice de modulación en frecuencia  $mf$  es  $n = a \cdot mf \pm b$ . En la siguiente tabla se muestran los valores de las amplitudes de los armónicos normalizadas para  $mf \geq 9$ . Sólo se indican aquellos con amplitudes significativas, hasta para valores de  $a=4$ .

Tabla 3. Amplitudes de los armónicos [15].

<b>ma→</b> <b>h↓</b>	<b>0.2</b>	<b>0.4</b>	<b>0.6</b>	<b>0.8</b>	<b>1.0</b>
<b>1 (Fund)</b>	0.2	0.4	0.6	0.8	1.0
<b>Mf</b>	1.242	1.15	1.0006	0.818	0.601
<b>mf±2</b>	0.016	0.061	0.0131	0.220	0.318
<b>mf±4</b>	-	-	-	-	0.018
<b>2mf±1</b>	0.190	0.326	0.370	0.314	0.181
<b>2mf±3</b>	-	0.024	0.071	0.139	0.212
<b>2mf±5</b>	-	-	-	0.013	0.033
<b>3mf</b>	0.335	0.123	0.083	0.171	0.113
<b>3mf±2</b>	0.044	0.139	0.203	0.176	0.062
<b>3mf±4</b>	-	0.012	0.047	0.104	0.157
<b>3mf±6</b>	-	-	-	0.016	0.044
<b>4mf±1</b>	0.163	0.157	0.008	0.105	0.068
<b>4mf±3</b>	0.012	0.070	0.132	0.115	0.009
<b>4mf±5</b>	-	-	0.034	0.084	0.119
<b>4mf±7</b>	-	-	-	0.017	0.050

### 1.2.2 Modulación escalera

Las primeras estrategias de modulación de los inversores multinivel se limitaban a la síntesis de onda escalonada, las ventajas de esta modulación son la simplicidad para su realización física y su baja frecuencia de conmutación, que permite su aplicación en convertidores GTO. No obstante, es fácil comprobar que la tensión obtenida no presenta un buen espectro armónico, además de ofrecer una respuesta dinámica lenta, todo ello causado por su baja frecuencia de conmutación. Así mismo es necesario disponer de una tensión continua de entrada variable para poder regular la tensión de salida. Su aplicación principal se encuentra en convertidores de muy alta potencia (sistemas de distribución de potencia, accionamiento de motores), donde se busca minimizar las pérdidas en conmutación mediante la reducción de frecuencia de conmutación [9].

### 1.2.3 Cancelación selectiva de armónicos

La figura 2.11 a continuación muestra una forma de onda genérica con simetría de cuarto de periodo, donde se tienen  $m$  ángulos de conmutación ( $\alpha_1, \alpha_2, \dots, \alpha_m$ ) deben estar comprendidos entre 0 y  $\frac{\pi}{2}$ , lo que supone que el margen del índice de modulación disponible suele ser estrecho, lo que representa una limitación de este tipo de modulación. Por ejemplo en una señal escalonada de siete niveles, el índice de modulación disponible está comprendido entre 0.5 y 1.05. Para emplear esta técnica con un amplio margen del índice de modulación y con una distorsión armónica mínima, se encuentra en una estrategia generalizada de cancelación selectiva de armónicos [9].

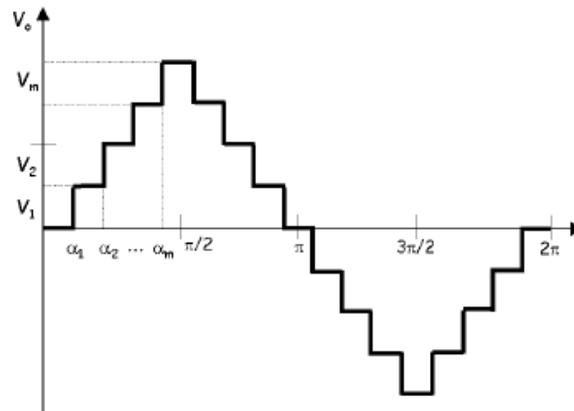


Figura 11. Tensión de salida escalonada generalizada con un ángulo de conmutación [9].

#### 1.2.4. Modulación Vectorial (SVM)

La modulación basada en los vectores espaciales de tensión (Space Vector Modulation) SVM o SVM-PWM es bien conocida y ampliamente utilizada en convertidores CC/CA convencionales y multinivel. Cada uno de los posibles estados del convertidor se representa mediante un vector de tensión y el conjunto de todos estos vectores de estado configura el diagrama vectorial de tensiones del convertidor. La tensión de salida deseada se puede expresar como un vector de referencia o modulación dentro del diagrama vectorial de tensiones, cuyo módulo se relaciona con la amplitud de la tensión de salida, cuya velocidad de giro es igual a la pulsación deseada de la tensión de salida y su fase coincide con la fase de salida. La siguiente figura 12, muestra el diagrama de vectores de estado para un convertidor de tres niveles, con 27 estados posibles expresados por 19 vectores de estado diferentes, junto con un posible vector de modulación. El diagrama de vectores de estado es universal, independientemente del tipo de convertidor [9].

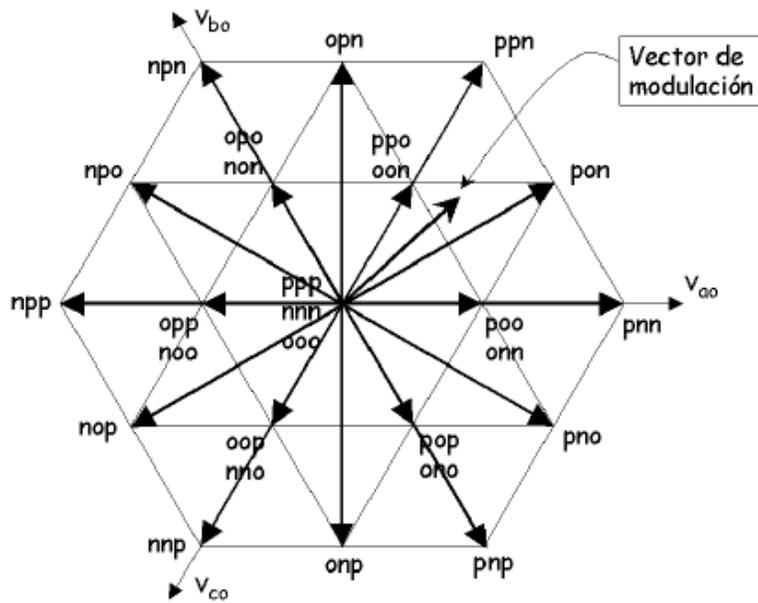


Figura 12. Diagrama de vectores de estado y vector de modulación por un inversor de tres niveles [9].

### 1.3 Técnicas de control

En la elección de la técnica de control que se debe gobernar el sistema, es posible escoger entre técnicas lineales y no lineales. La teoría clásica de control está basada en sistemas lineales, son técnicas muy conocidas y contrastadas, además de sobradamente experimentadas en un muy variado tipo de plantas. El modelo de gran señal que se obtiene del sistema suele ser no lineal. Para aplicar las técnicas de control lineal, es necesario linealizar el modelo del sistema. En este paso, el objetivo es no perder información ni campo de aplicación del modelo. Por otro lado, se puede aplicar técnicas no lineales para el control del sistema. Este tipo de técnicas suele ser bastante complicado que las lineales. Además conforme el sistema aumenta de orden, las técnicas no lineales incrementan su complejidad de forma considerable. Por su mayor simplicidad y la mayor experiencia acumulada, se suelen preferir técnicas lineales para el control de los convertidores multinivel [15].

### **1.3.1. Técnicas clásicas de control lineal**

Los convertidores estudiados suelen aplicarse sobre sistemas trifásicos, y el control acostumbra a realizarse en el dominio D-Q, donde las variables trifásicas quedan transformadas en valores constantes en régimen permanente. A partir del modelo de gran señal, se obtiene el modelo lineal de pequeña señal mediante perturbación y linealización. Otra técnica de control se puede encontrar en aplicado un rectificador PWM de dos niveles, aplicando a un inversor Neutal- Point Clamped y en aplicado a un sistema SVC realizado mediante un NPC. Se tienen dos lazos acoplados según las ecuaciones del modelo, se incluye un cruce de variables entre lazos de control para desacoplar variables y tratar cada lazo como independiente. El cálculo de los controladores se realiza entonces con dos sistemas SISO. En ambos casos, el control no se encarga del equilibrado del bus de continua, tarea que realiza la estrategia de conmutación [12].

### **1.3.2. Técnicas de control lineal multivariable**

Consiste en emplear el modelo en el espacio de estados para calcular un controlador apropiado que sitúa los polos del sistema en lazo cerrado en aquellos lugares deseados por el diseñador. Esta técnica, se denomina asignación de polos, es la empleada por Pollakowski et al. En un convertidor NPC y por el Lee et al. En diferentes convertidores convencionales [12].

### **1.3.3. Técnicas de control no lineal**

El control deslizante es una técnica de control no lineal. En general, suele ser un control extenso y de compleja comprensión, en algunos casos su realización es simple. Se aplica el control deslizante a inversores convencionales de dos niveles. Una aplicación para el control en modo corriente de un inversor NPC que alimenta un motor de inducción. Un control basado en la función Lyapunov donde se incluyen para eliminar los errores de régimen permanente. El controlador, aplicado a un accionamiento de CA con un inversor de dos niveles, es de una complejidad similar a la complejidad presentada por el control

vectorial y consigue desacoplar flujo y velocidad. Una variante de este control es el control pasivo, que consiste básicamente en la generación automática de un controlador basado en una función de Lyapunov [12].

#### 1.4. Optimización del bus de CD, balanceo de Condensadores

En la topología NPC las investigaciones suelen recurrir a la estrategia de conmutación para conseguir mantener equilibrado el bus de continua. En esta topología es clave que la tensión de cada capacidad sea prevista y presente la mínima desviación posible en cualquier condición de trabajo, tanto en régimen estático como dinámico. En caso contrario aumenta la distorsión armónica en la salida, los semiconductores soportan sobre tensiones e incluso se puede llegar a su destrucción. Siendo una cuestión vital para el funcionamiento de estos convertidores. La estrategia de modulación genera tensiones y corrientes según las órdenes recibidas del controlador y además se encarga de mantener las capacidades equilibradas [12].

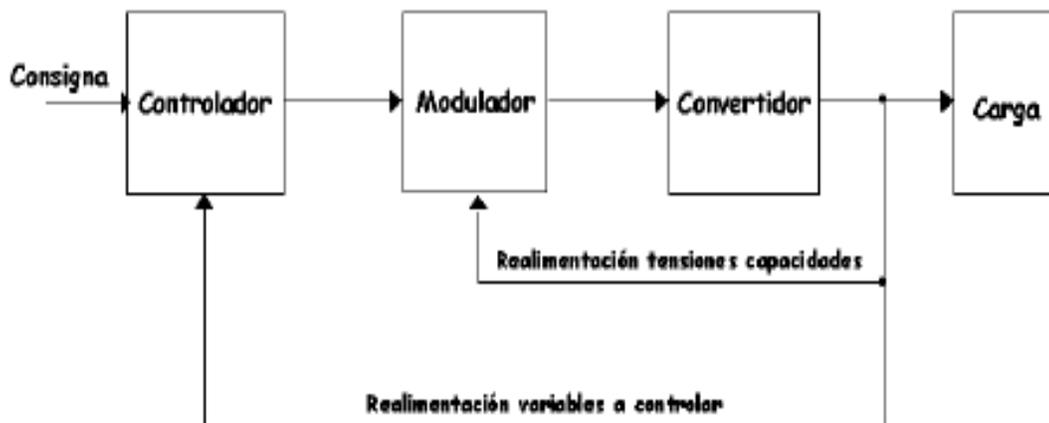


Figura 13. Equilibrado de las capacidades mediante la estrategia de conmutación [12].

Otra manera de realizar el equilibrio de las capacidades es mediante la acción adecuada del controlador, para ello el modelo empleado en el cálculo del controlador debe incorporar información sobre las tensiones de las capacidades en consecuencia la acción del controlador hace que el modulador actúe sobre el convertidor para corregir el desequilibrio,

pero debe destacarse que en este caso, el modulador no asume especificaciones la tarea de equilibrar las tensiones de las capacidades.

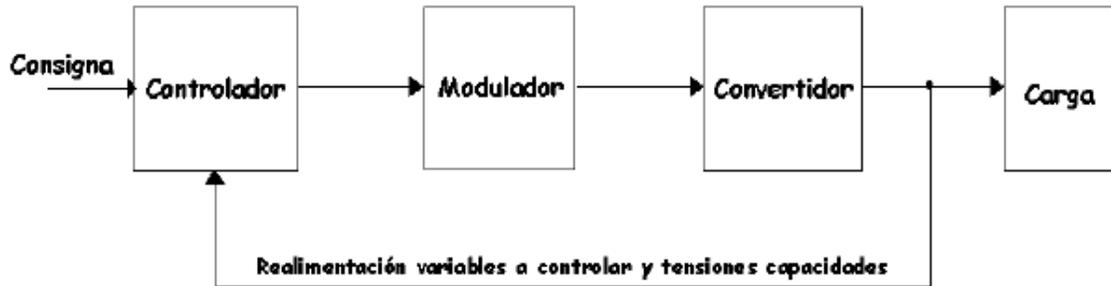


Figura 14. Equilibrio de las capacidades mediante el controlador [12].

Klaver propone un método muy simple equilibrado, basado en alargar o acortar los pulsos de conmutación de cada rama del convertidor NPC, pero no detalla la distorsión armónica que provoca en la tensión de salida. Steinke emplea un método parecido orientado a convertidores con baja frecuencia de conmutación, en ambos casos se tiene convertidores GTO, Cho et al. Realizan el equilibrado de las capacidades en una aplicación SVC con el convertidor NPC mediante el controlador. Se tienen dos lazos uno para controlar la potencia y otro para controlar el equilibrio de las capacidades, con cruce de variables entre lazos de control.

Si se emplea una conmutación PWM hay una adición de offset en la modulación a causa de una corriente de aparición en el punto medio del bus de continua de un convertidor NPC. Este desequilibrio según Lim et al. Se equilibra controlando la corriente de secuencia cero que circulan a través de la conexión realizada entre el punto medio del bus de cd con el neutro de la red que alimenta al rectificador NPC [14].

Otra manera de mantener equilibradas las capacidades del convertidor consiste en emplear un convertidor adicional o elementos activos y pasivos adicionales por ejemplo alimenta una topología NPC desde una red monofásica de CA a través de un rectificador de cuatro diodos y un semipunto cuyas tareas son mantener equilibradas las capacidades y absorber una corriente de la red con factor de potencia unitario [12].

### 1.5. Nivel armónico permitido por la norma IEEE

Resulta especialmente difícil establecer los límites de responsabilidad tanto para las compañías generadoras como para el usuario en cuanto se refiera a la distorsión armónica.

En los Estados Unidos de América la norma IEEE 519 “Prácticas recomendadas y requerimientos para el control de armónicas en sistemas eléctricos de potencia” define entre sus puntos los valores máximos de distorsión permisible.

El suministrador es responsable de mantener la calidad del voltaje en el sistema global, especificándose los límites para diferentes niveles de tensión.

Es importante notar que la definición de la distorsión armónica total THD que se utiliza es diferente a la convencional ya que se expresa la distorsión armónica en función al voltaje nominal, que es un valor constante para cada usuario, estableciéndose así, una base fija de evaluación a lo largo del tiempo. En la tabla 2 se muestra los valores permitidos de distorsión armónica tanto individual como total de acuerdo con la IEEE 519 [17].

Tabla 4. Distorsión Armónica Total Permitido Según la IEEE 519 [17].

Nivel de Tensión.	Distorsión Armónica Total Individual.	Distorsión Armónica (THD $V_n$ ).
$V_n < 69\text{kV}$	3.0%	5.0%
$69\text{kV} < V_n < 161\text{kV}$	1.5%	2.5%
$V_n > 161\text{kV}$	1.0%	1.0%

---

## CAPÍTULO 2.

### DISEÑO DEL INVERSOR MONOFASICO.

---

## **2.1 Inversor multinivel de cinco niveles por fijación de diodos**

En coherencia con lo planeado en el título el objetivo general y específico, la topología que se seleccionó es la de fijación de diodos, seguidamente se definieron los escalones inicialmente pensado en uno de nueve niveles pero que por costos económicos no se pudo ejecutar, entonces se decidió que con uno de cinco niveles se podía mostrar de manera clara las propiedades en el proceso de conversión de energía usando esta topología.

Este inversor de cinco niveles tendrá una fuente de alimentación de corriente directa para el bus de CD, que es conectada en paralelo a un arreglo de condensadores que dividen la tensión en proporción a la carga y al voltaje que en teoría se dividen en iguales niveles de tensión, estos niveles de tensión son fijados por diodos de rápida recuperación que hacen que los interruptores (Mosfet) operen a tensiones menores a la tensión suministrada por la fuente de alimentación de CD, los diodos de fijación deben garantizar una tensión de bloqueo igual en todos los estados de conmutación para que los escalones sean proporcionales.

Estos diodos de fijación son la parte fundamental para definir el número de niveles, ya que para un elevado número se hace inviable, teniendo en cuenta que el aumento de estos es cuadrático  $(m-1)*(m-2)$ , además de eso dependiendo del estado de conmutación de los (Mosfet) deben bloquear la tensión de un condensador más, lo que aumenta el número de diodos en serie para garantizar el bloqueo de las tensiones. Pero considerando que la electrónica de potencia ha tenido avances importantes en los últimos años mejorando los dispositivos semiconductores haciéndolos más confiables y eficientes, pueden haber diodos con la característica demandada de velocidad de recuperación, tensión de bloqueo y capacidad de corriente la cantidad de diodos puede disminuir en  $2(m-2)$ .

## **2.2 Cálculo del número de componentes mínimos para la implementación**

De acuerdo a lo investigado en el capítulo 1 se apoyó en la literatura para seleccionar y diseñar la topología del inversor de acuerdo a lo establecido en las delimitaciones.

Para un convertidor de  $m=5$  niveles por fijación de diodos se requiere:

**I. Número de condensadores en el bus de continua**

$$\text{Condensadores} = (m-1) = (5-1) = 4 \quad (5)$$

**Ecuación 5. Número de condensadores del bus de CD [11].**

✓ **Número de diodos para el inversor monofásico**

$$\text{Diodos} = 2(m-2) = 2(5-2) = 6 \quad (6)$$

Ecuación 6. Número de diodos para el inversor monofásico [11].

**II. Número de interruptores de potencia para el inversor monofásico**

$$\text{Interruptores de potencia} = 2(m-1) = 2(5-1) = 8 \quad (7)$$

**Ecuación 7. Numero de Interruptores de potencia para el inversor monofásico [11].**

✓ **De esta manera, se estableció la mínima cantidad de componentes para para topología en estudio del inversor monofásico:**

**4 condensadores, 6 diodos de recuperación rápida, 8 interruptores de potencia, 1 fuente de corriente directa.**

**2.3 Selección de los interruptores de potencia**

La selección de los interruptores de potencia se hizo teniendo en cuenta los siguientes aspectos, potencia y velocidad de conmutación. El inversor que está pensado implementar pretende proporcionar una potencia mínima de mil vatios monofásica, el aspecto importante para la selección de este es la respuesta de conmutación a altas frecuencias, por ello se seleccionó un interruptor de efecto de campo Mosfet IRFP450 con una tensión de

500V, 14A de potencia que además de ello tiene en su encapsulado un diodo que es útil en el tratamiento de sistemas conmutados de corriente, que no permite lazos de retroalimentación que destruyan el Mosfet, este fenómeno está presente en esta aplicación por este motivo es indispensable que tenga esas características.

#### **2.4 Generación de las señales de control para la modulación Step y PWM-multinivel**

En la figura 16, que está a continuación se muestra el ciclo completo de la forma de onda de tensión, del inversor de cinco niveles en la salida del prototipo específicamente donde dos son valores positivos y dos son valores negativos y uno hace referencia al nivel cero. La herramienta para conocer con precisión los ángulos de disparo en sus respectivas combinaciones de conmutación fue Matlab, en el cual mediante un algoritmo estudiado en investigaciones anteriores [17], solo fue necesario ajustarlo al número de niveles de la investigación (cinco).

Seguidamente se procede a dar paso a la generación de una secuencia lógica de conmutación, para obtener las tensiones requeridas en cada nivel, para este caso particular son cinco niveles de tensión que se especificaron en la tabla 5, donde se muestra la secuencia de conmutación para el inversor de la figura 15, es necesario especificar que las señales de modulación solo son cuatro las otras cuatro se hacen mediante una compuerta de negación.

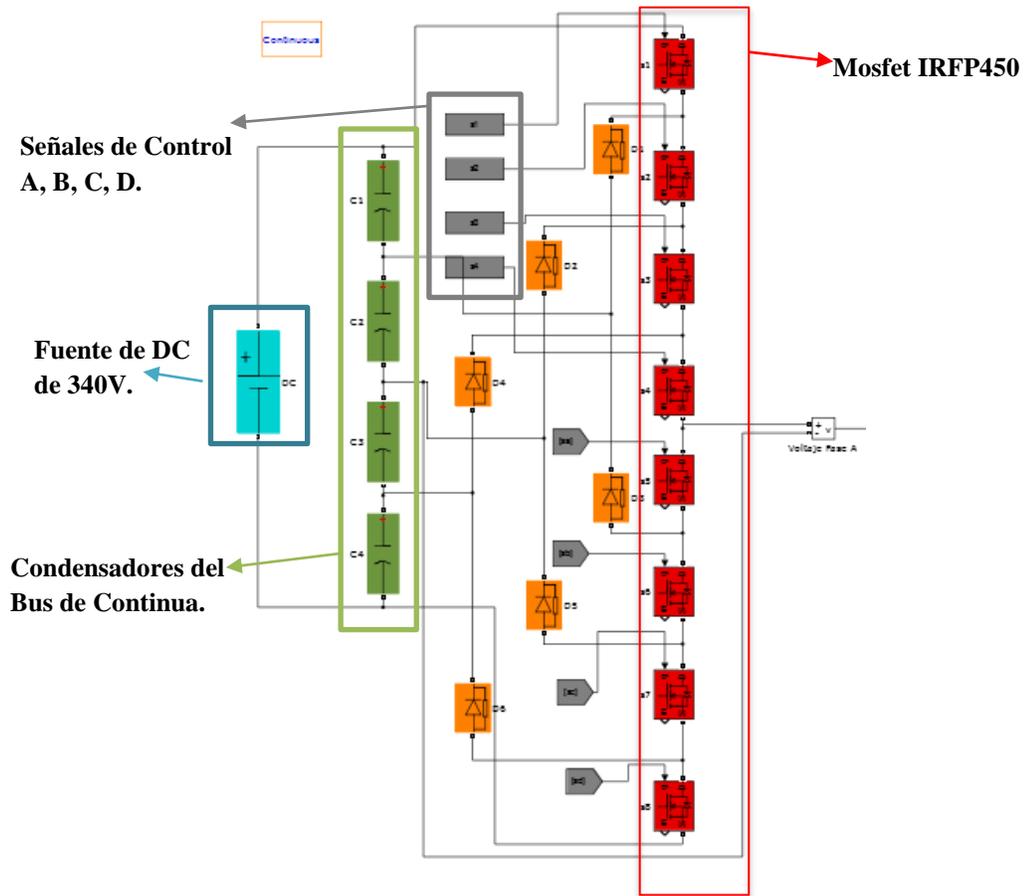


Figura 15. Inversor por fijación de diodos de cinco niveles en diseño, con sus respectivas señales de control.

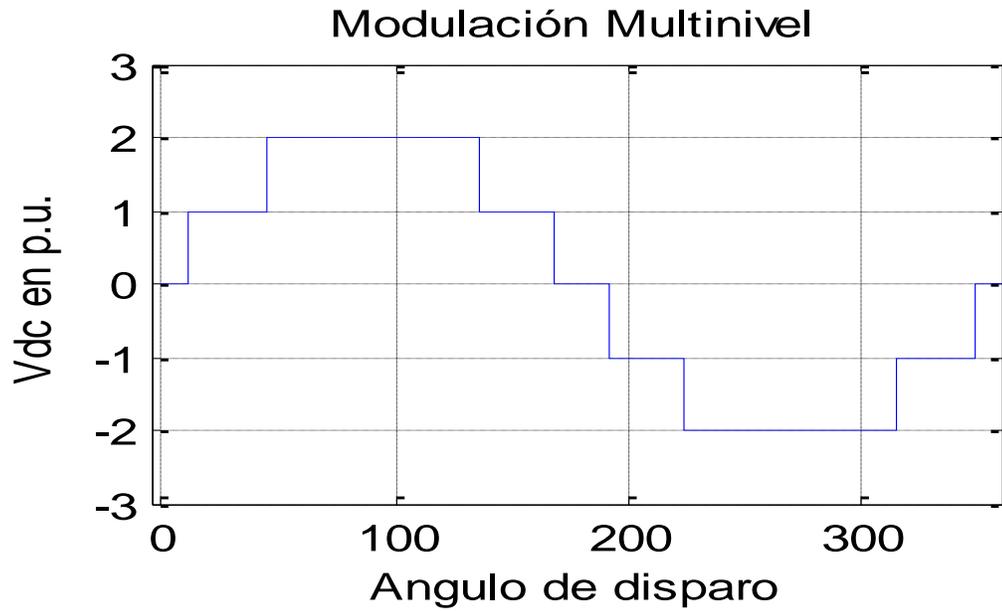


Figura 16. Forma de onda y ángulo de disparo para el inversor en diseño de cinco niveles mediante una modulación step.

Tabla 5. Estados de conmutación para el inversor en diseño.

Interruptores de Potencia								Nivel de tensión
S1	S2	S3	S4	S1'	S2'	S3'	S4'	Vox
0	0	1	1	1	1	0	0	0
0	1	1	1	1	0	0	0	1
1	1	1	1	0	0	0	0	2
0	1	1	1	1	0	0	0	1
0	0	1	1	1	1	0	0	0
0	0	0	1	1	1	1	0	-1
0	0	0	0	1	1	1	1	-2
0	0	0	1	1	1	1	0	-1
0	0	1	1	1	1	0	0	0

Definida la secuencia de disparo, estados de conmutación de los Mosfet, se crea la matriz de disparo como se observa en la tabla 5, con esto, es posible mediante el algoritmo de control generar las señales de activación de los interruptores que se ven en las figuras 15. De igual forma, se visualiza que solamente es necesario generar las señales de activación para los primeros 4 Mosfet (s1- s4), ya que las demás se pueden lograr negando las señales de los primeros. Es decir, a  $s1'$  le corresponde la señal negada de  $s1$ , a  $s2'$  la señal negada de  $s2$ , y así sucesivamente hasta llegar a  $s4'$ , al cual le corresponde la señal negada de  $s4$ .

### 2.5 Algoritmo de control para la modulación step

El algoritmo de control se encarga de acondicionar y enviar las señales que controlan la activación de los Mosfet, las señales son aplicadas en la terminal de compuerta (pin 1) de cada uno de estos pero antes de ello se debe amplificar a un nivel de tensión que garantice la activación del interruptor, mediante un driver para este caso particular se usó el IR2110, en nuestro caso el algoritmo fue implementado en el programa Matlab.

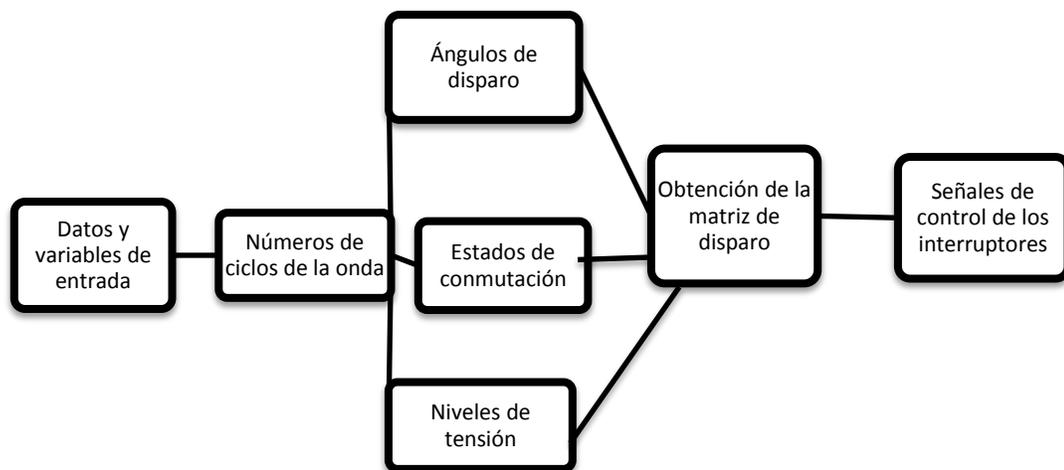


Figura 17. Diagrama de flujo del algoritmo de control.

Tabla 6. Matriz de disparo de los Mosfet para el primer ciclo de onda step.

Tiempos de conmutación (μS)	Nivel de tensión				Vox
	S1	S2	S3	S4	
53675	0	0	1	1	0
152796	0	1	1	1	1
420392	1	1	1	1	2
152796	0	1	1	1	1
53675	0	0	1	1	0
152796	0	0	0	1	-1
420392	0	0	0	0	-2
152796	0	0	0	1	-1
53675	0	0	1	1	0

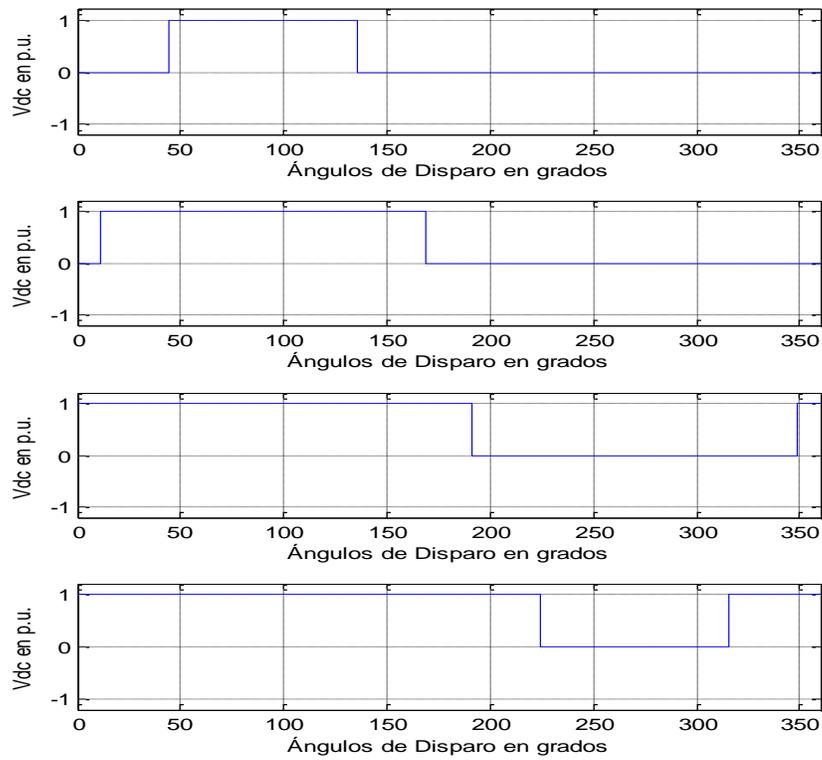


Figura 18. Pulsos para el disparo de los Mosfet S1, S2, S3, S4.

Como se ha venido mencionando anteriormente las señales de activación para los cuatro Mosfet de la parte inferior ( $S1'$ - $S4'$ ), son las negadas de las señales generadas en la matriz de disparo tabla 6. Estas se sacan mediante una compuerta NOT 7404LS, de esta manera se simplifica el esquema de control, creando un subsistema interno del sistema que permite negar las señales.

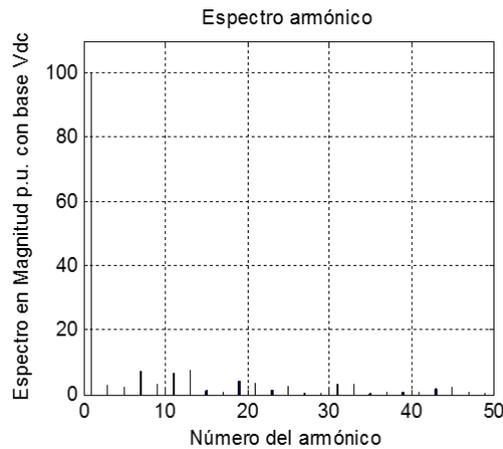


Figura 19. Espectro armónico de la modulación step.

En la figura 19, que está a continuación se observa el circuito usado para negar las señales agrupadas en un subsistema, se pueden observar tres bloques el de entrada de señal (inport block (izq.)), la salida de la señal negada (outport block (der.)) y estos bloques conectan un sistema externo FPGA con un sistema interno Drives y la centra que es la compuerta de negación NOT.

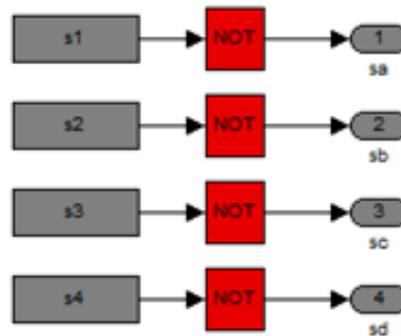


Figura 20. Bloque para obtener las señales de los Mosfet, (S1-S4).

### 2.6 Algoritmo de control optimizado

La siguiente modulación PWM, que se presenta a continuación, es basada en un modelo matemático optimizado de la ecuación para el cálculo del THD, que es implementado por el director de este trabajo de grado el Ing. Luis David Pabón Fernández. La ecuación se muestra a continuación.

$$THD = \frac{\sqrt{\sum_{n=2}^{50} \left[ \frac{1}{n} \left( \sum_{i=1}^4 \sum_j^{L_i} (-1)^{j-1} \cos n\alpha_{ij} \right)^2 \right]}}{\left( \sum_{i=1}^4 \sum_j^{L_i} (-1)^{j-1} \cos n\alpha_{ij} \right)} \cdot 100 \quad (8)$$

Ecuación 8. Función Fitness.

La ecuación es llamada función fitness por su autor, donde n solo toma valores impares y Li los componentes de un vector L= [x y z w], con la función fitness se delimita lo que se pretende disminuir a través de un algoritmo de optimización.

A través de Matlab® y usando específicamente el comando ga (Genetic Algorithm) el autor programó los algoritmos correspondientes a la función fitness y su optimización mediante algoritmos genéticos. El método de optimización utiliza los ángulos de disparo en un cuarto de onda, asistido por el vector L que indica al programa el nivel de tensión al que pertenecen los ángulos tomados como población. En la figura 21, se muestra la evolución del algoritmo genético.

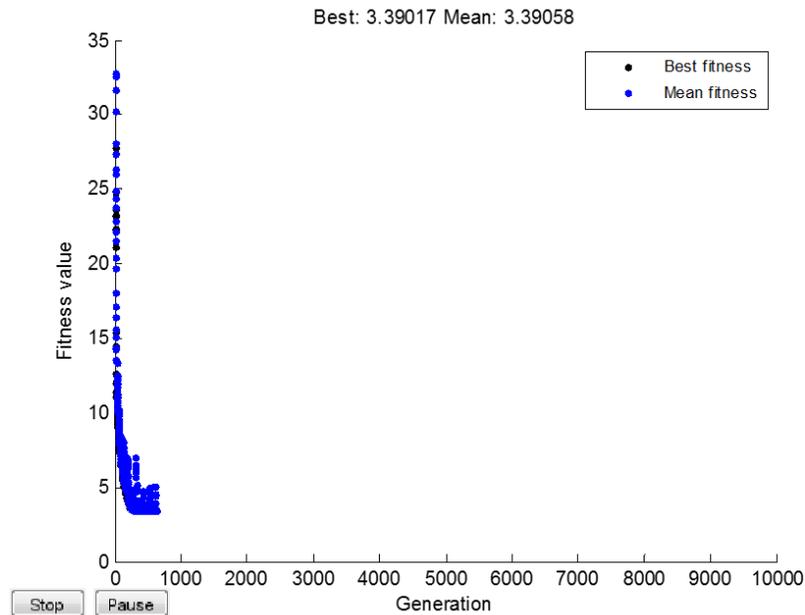


Figura 21. Evolución del algoritmo genético.

Como podemos observar en la figura anterior la evolución del algoritmo genético muestra como best fitness o THD calculo un valor de 0.19%, este valor es el valor esperado en la implementación siendo este un valor base para este tipo de modulación, como se puede apreciar en la figura 21, utilizando  $\alpha$  ángulos de disparo en un primer cuarto de la onda, se obtiene la máxima calidad de THD en la simulación. De esto podemos decir que el índice de THD se encuentra por debajo de los límites permitidos por la norma IEEE descrita en el capítulo anterior. Con esta modulación se obtendrá un mejor rendimiento en el funcionamiento del inversor, reflejando señales de tensión y corrientes limpias.

La forma de onda obtenida con la modulación optimizada para los ángulos  $\alpha$  escogidos como población se muestra en la figura 22, y en la 23 el correspondiente espectro armónico.

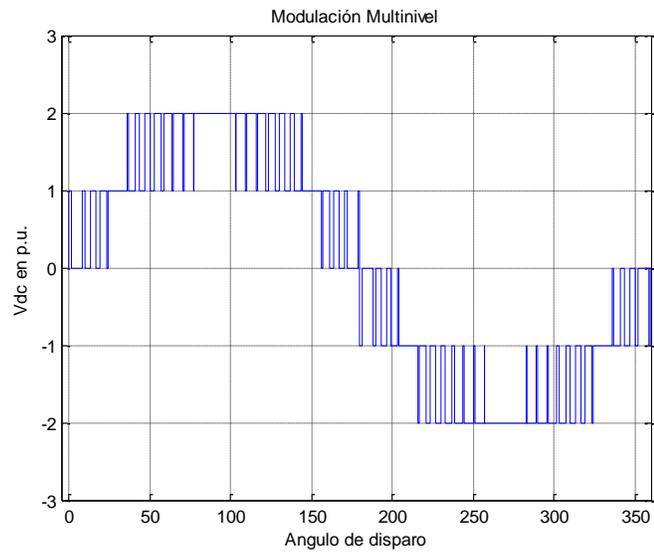


Figura 22. Forma de onda de la modulación PWM optimizada.

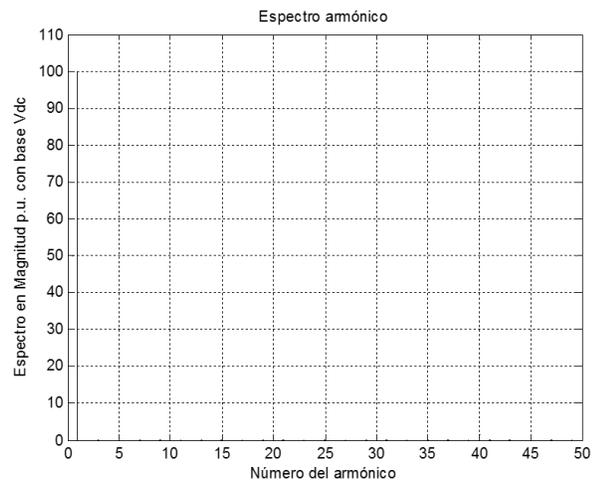


Figura 23. Espectro armónico con modulación PWM optimizada, en función de los ángulos de disparo.

En la figura 24 que se muestra a continuación, podemos ver las señales de activación con la modulación PWM optimizada:

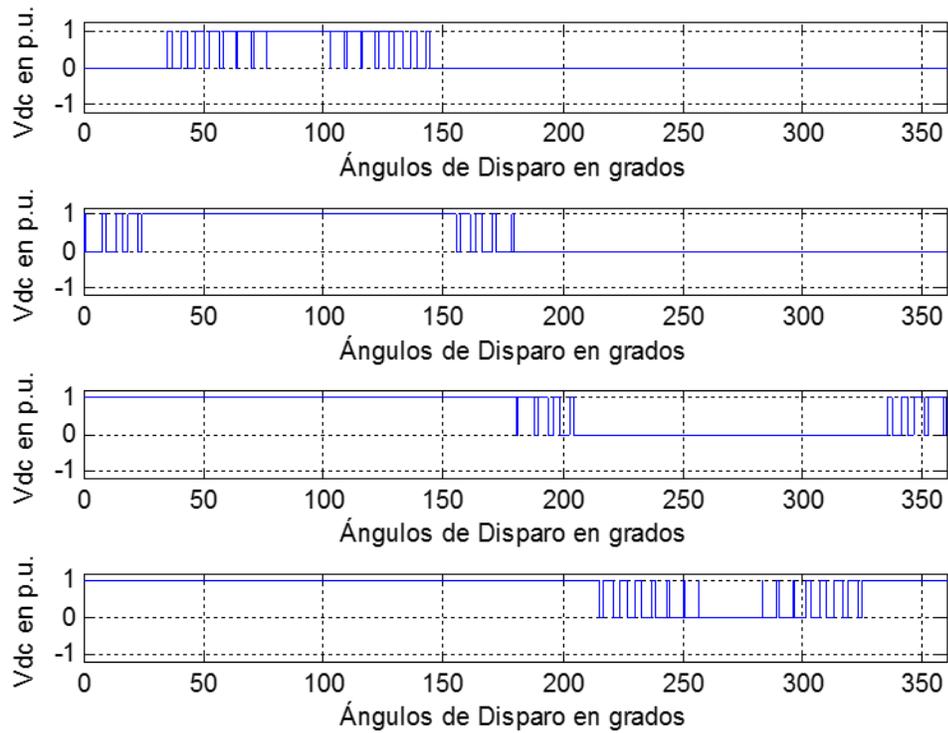


Figura 24. Señales de activación con la modulación PWM optimizada.

## 2.7 Cálculo de la fuente en DC de alimentación y corriente en la carga

Partiendo de los parámetros de diseño que se establecieron en el transcurso de la investigación tenemos que:

$$V_{pico - pico} = 2V_{pico} = 2(170V) = 340VDC \quad (9)$$

Ecuación 9. Tensión en DC máxima pico a pico [17].

$$V_{rms} = \frac{V_{pico}}{\sqrt{2}} = \frac{170V}{\sqrt{2}} = 120,208V \quad (10)$$

Ecuación 10. Voltaje rms en AC de salida [17].

$$P = \frac{V_{rms}^2}{R} \quad \therefore \quad R = \frac{(V_{rms})^2}{P} = \frac{(120,208V)^2}{1000W} = 14,449\Omega$$

$$I_{rms} \frac{V_{rms}}{R} = \frac{120.208V}{14.449\Omega} = 8.322A \quad (11)$$

Ecuación 11. Corriente rms AC de salida [17].

$$I_{pico} = I_{rms} * \sqrt{2} = 8.322A * \sqrt{2} = 11.799A \quad (12)$$

Ecuación 12. Corriente pico de salida en AC [17].

Seguidamente podemos establecer el valor de voltaje que le corresponde a cada condensador del bus de directa:

$$V_{condensador} = \frac{V_{dc}}{(m-1)} = \frac{340V}{(5-1)} = 85V \quad (13)$$

Ecuación 13. Voltaje presente en cada condensador [17].

## 2.8 Cálculo de los condensadores

La tensión de la fuente se divide entre el número total de condensadores que conforman el bus principal de CD, en este caso 4 condensadores. Para determinar el valor de estos haremos énfasis en dos formas, la primera según [18] se debe considerar un rizado en la tensión del punto medio del bus causado por la dinámica de los condensadores del bus de continua, dicho efecto produce componentes indeseadas de bajas frecuencias en los espectros armónicos de las tensiones de salida del convertidor. La amplitud de este rizado para una tensión de bus cualquiera y una carga determinada depende de la capacidad de los condensadores del bus de continua y de la estrategia de modulación utilizada.

Teniendo en cuenta lo anterior, para el cálculo del valor de las capacidades se debe incluir el rizado de la tensión en el punto medio del bus, más un factor de seguridad que el diseñador considere necesario para mantener los condensadores dentro de su rango de operación seguro y que permita de igual manera reducir el rizado. La capacitancia de cada condensador en el circuito del bus de continua se determina por la ecuación [19]:

$$C = \frac{\Delta q}{\Delta V} \quad (14)$$

Ecuación 14. Formula de capacitancia [15].

Donde  $\Delta q$  es el cambio en la carga del condensador y  $\Delta V$  es el cambio en la tensión durante el periodo determinado. La capacidad requerida del bus de continua y el rizado de tensión están inversamente relacionados entre sí, un aumento en la capacitancia disminuiría la cantidad de rizado de la tensión de CD [19]. Asumiendo que los capacitores del bus de CD están balanceados, por ello tienen el mismo nivel de voltaje  $V_{dc}$  entonces:

$$\Delta V = \%Vrisado * Vdc \quad (15)$$

Ecuación 15. Variación del voltaje en dc en fusión del rizado [17].

Una tolerancia estricta en el % de rizado de la tensión del bus de CD, resultará en valores de capacitancias extraordinariamente grandes. Por esta razón, el rizado de tensión máximo a reducir se elige para estar en el rango del 5 a 10 % del valor de tensión de continua de Vdc. Con esto quedaría en:

$$C = \frac{\Delta q_{max}}{\%Vrisado * Vdc} \quad (16)$$

Ecuación 16. Capacitancia real teniendo en cuenta el rizado [17].

$$\therefore \%Vrisado = \text{entre } 5 \text{ y } 10\% \quad (17)$$

Ecuación 17. Rango de rizado [17].

El método utilizado en este trabajo y segunda forma de calcular el valor de los capacitores del bus según [20], se lleva a cabo teniendo en consideración la energía almacenada por el condensador y que puede ser expresada en términos del trabajo realizado. Teniendo en cuenta que el inversor a implementar tiene una potencia de 1000W, si esta potencia se le demanda durante un ciclo de línea T “periodo”, entonces la energía expresada en joules necesarios para desarrollar esta potencia están dados por:

$$U = P_{monofasica} * T = (1KVA) * \left(\frac{1}{60Hertz}\right) = 16,666J \quad (18)$$

Ecuación 18. Energía total suministrada por el bus de DC [20].

Conociendo que son 4 condensadores en el bus de continua y suponiendo características iguales en todos, se tiene que cada uno debería producir 4,1665J para para producir los

16,666J totales, que se necesitan para producir la potencia deseada, además se sabe también que cada condensador está sometido a 85 V de tensión, entonces:

$$U = \frac{1}{2} * C1 * V^2 \therefore C1 = \frac{2U}{V^2}$$

$$C1 = \frac{2U}{V^2} \therefore C1 = \frac{2*4,1665J}{85V^2} = 1153,356\mu F \quad (19)$$

Ecuación 19. Capacitancia mínima requerida por cada condensador [20].

Este sería el mínimo valor para los condensadores del bus de DC, para efectos de diseño se propone un factor de seguridad del 90%, entonces cada condensador debe ser de:

$$C1 = 1,8 * C1 \quad \therefore C1 = 1,8 * 1153,356\mu F = 2191,3764\mu F \quad (20)$$

Ecuación 20. Capacitancia requerida con un factor de seguridad del 90% [20].

## 2.9 Cálculo de los diodos de fijación

Los diodos de fijación que son seis según el cálculo hecho anteriormente, pero que por los diferentes niveles de tensión al adicionar en serie condensadores, se debe tener rigurosidad y prevención. Por ende en la posición del diodo D3, se deben poner tres diodos en serie al igual que en la posición D1' ya que estos soportan la mayor tensión de del bus de CD  $3V_{pn}/4 = 3*(340V/4)=255V$ , en la posición del diodo D2 y D2' se soporta una tensión de  $2V_{pn}/4 = 2*(340V/4)=170V$ , se deben poner dos diodos en serie, y en la posición D3 y D1 es suficiente con un diodo de bloqueo, siendo un total de doce diodos que garantizan un bloqueo de tensión requerida por los nueve estados de conmutación, para este caso se usaran los diodos de recuperación ultra rápida SF164, con capacidad de corriente de 16A, 500V y 35ns lo cual cumple con las especificaciones requeridas en el diseño para un adecuado funcionamiento.

## 2.10 Acondicionamiento de la señal de control de puerta de los Mosfet IRFP450

Estos transistores de efecto de campo se usan como interruptores controlados por tensión de compuerta, Su voltaje requerido  $V_{GS}$  para que estos conduzcan están entre un intervalo de 4V a 20V según su hoja de características, para ello se usó el driver IR2110 que amplifica el nivel de tensión a un máximo de 11,5V para el Mosfet S4' y un mínimo de 8,75V para el S1 para este caso particular.

Debido a la topología usada en el trabajo se necesitan que los capacitores (S1 a S3') tengan una tierra flotante en surtidor, para evitar que cuando dichos diodos estén en conducción la corriente fluya a tierra ocasionando un corto circuito, para ello se hace uso de un circuito de bootstrap que consta de diodos de switcheo rápido 1N4148 y un capacitor electrolítico de 10 $\mu$ F que proporciona la tierra flotante.

Como se ha mencionado anteriormente el driver IR2110 tiene la capacidad de proporcionar la alimentación de activación  $V_{GS}$  para dos Mosfet de manera independiente, siendo la señal de activación una negada de la otra, pero surge un inconveniente, que el Mosfet de la parte inferior activado por la entrada pin 12 y salida pin 1, se conecta el surtidor a tierra lo cual no aplica para esta topología por ello se hace necesario investigar cómo, darle un camino de retorno al condensador de bootstrap para que este le proporcione la tierra flotante en cada estado de conmutación que se necesite y tenga una carga y descarga adecuada para el funcionamiento. Se investigó el artículo de la IEEE "Un inversor MOSFET de tres niveles para Unidades de baja potencia"[21] , en el que proponen un drivers a partir de un diodo Zener y transistores de unión bipolar BJT, pero estos tenían una desventaja en las pruebas, que adicionaban un retardo en la salida de la señal de activación significativo, lo cual no garantizaba a altas frecuencias de conmutación que los Mosfet estuvieran apagados o encendidos, la otra desventaja es el tamaño de su implementación debido a sus componentes, entonces de allí de toma la idea, de cómo le proporcionan el camino de retroalimentación al condensador de bootstrap y se hacen las pruebas con el drivers IR2110,

dando positivas, lo cual hace viable la implementación dando buenos resultados a altas frecuencias y abajas frecuencias, por ello se usaran un driver por cada Mosfet pero como el Mosfet S4' va referenciado al bus R de CD se puede usar completo lo cual da un total de 7 drivers para el circuito de activación en la figura 25 se muestra el camino de retroalimentación para los condensadores bootstrap.

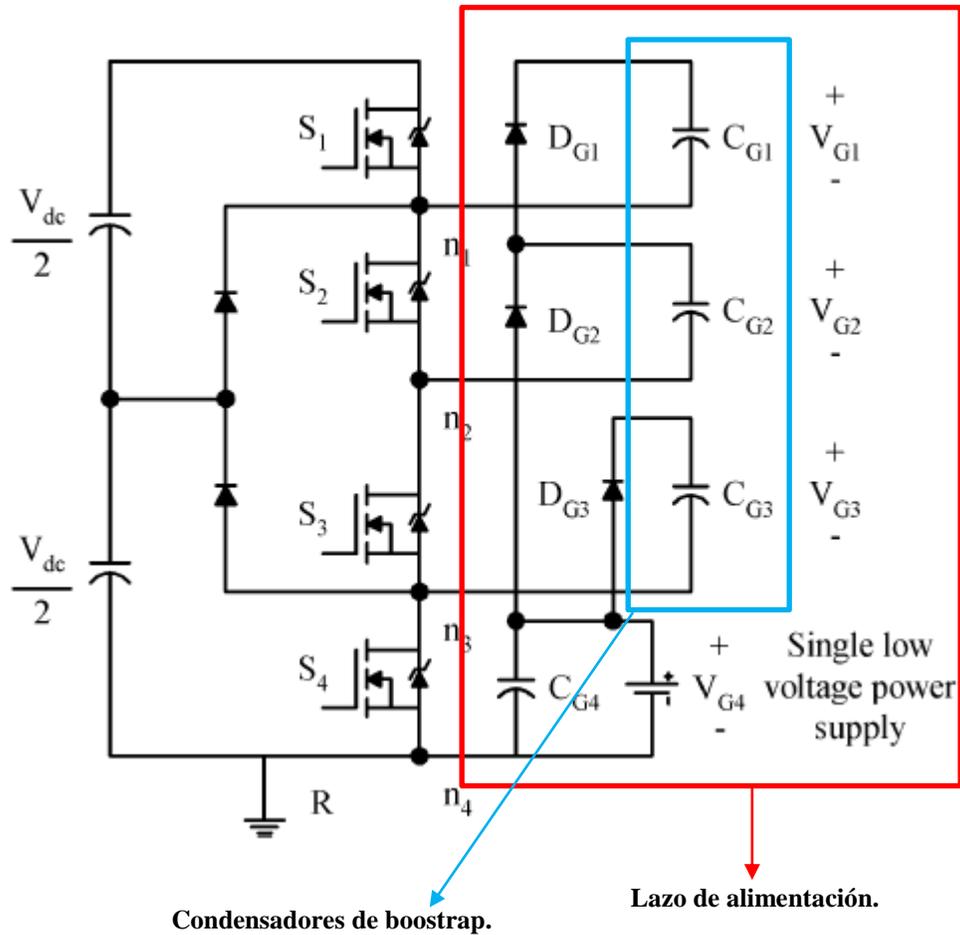


Figura 25. Lazo de retroalimentación para los condensadores de bootstrap [21].

En la siguiente figura 26, se evidencia el circuito de activación con el driver IR2110 individual, esto se hace de la misma manera hasta el Mosfet S2'.

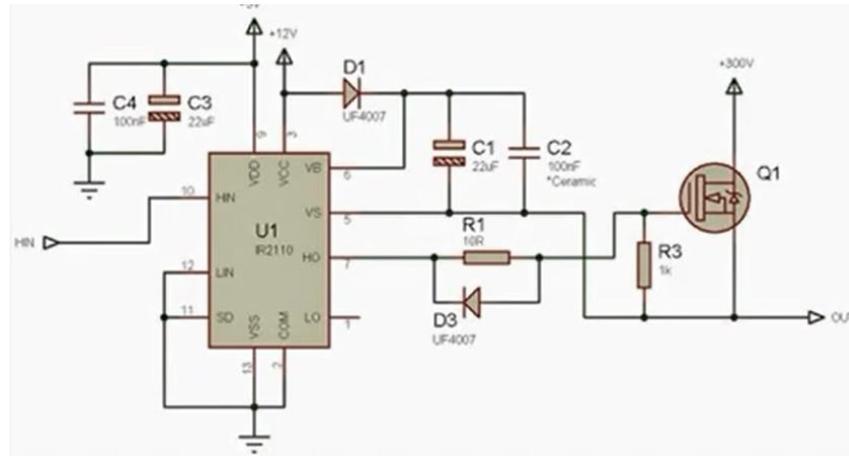


Figura 26. Activación de Mosfet con un solo drivers.

En la Figura 27, podemos observar el drivers usando los dos canales de activación alto y bajo.

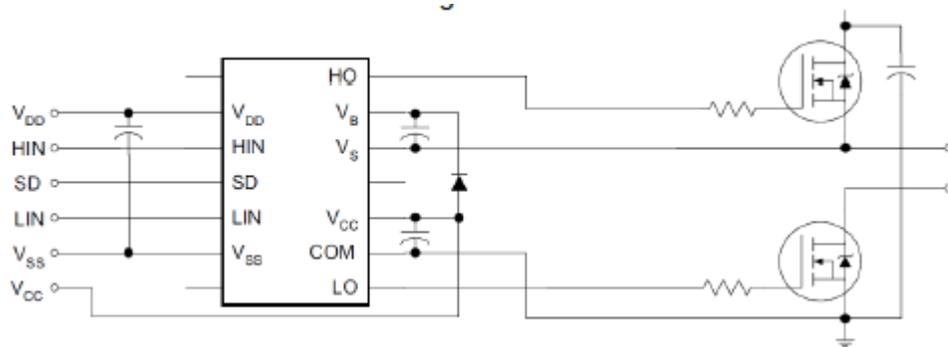


Figura 27. Drivers IR2110 usando sus dos canales de activación.

Todas estas condiciones mencionadas anteriormente deben ser óptimas y acordes con lo requerido por el Mosfet para activarse, por ello se hacen primordiales las siguientes características:

- Proporcionar un voltaje de activación entre puerta y surtidor para los Mosfet IRFP450 entre 4V y 20V, para garantizar que se activen y desactiven en condiciones adecuadas.
- Aislar el circuito de control del circuito de potencia, disminuir la posibilidad de perturbaciones cuando surja una falla en circuito o falle el sistema.
- Poder garantizar que exista un tiempo muerto por Hardware, de manera que cuando, S1 este encendido S1' este apagado, garantizando la negación de uno con respecto del otro y así no estén los dos activados al mismo tiempo.
- Tener un control de accionamiento de los ocho Mosfet solo con cuatro señales de control.

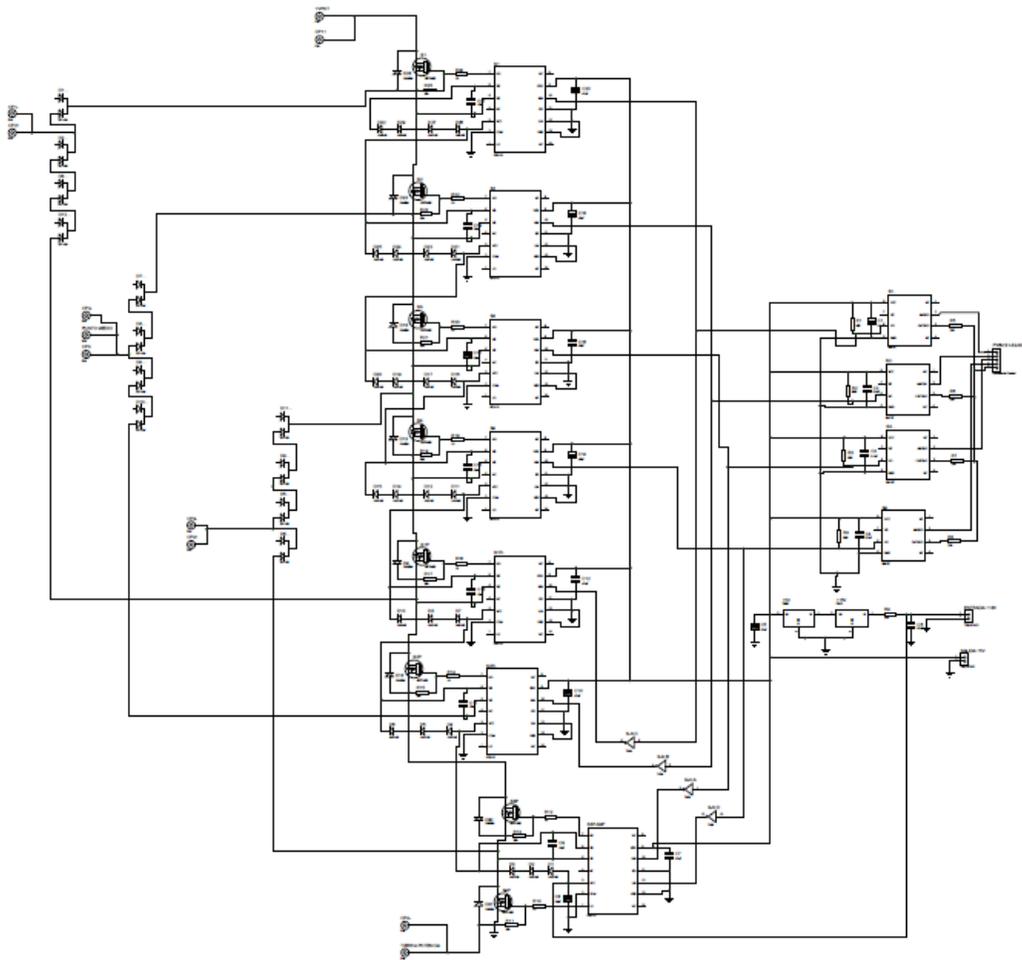


Figura 28. Circuito de acople con etapa de potencia.

## 2.11. Cálculo del transformador

**Cálculo del Voltaje rms teniendo en cuenta los ángulos de conmutación del inversor:**

$$\phi = \frac{1}{N} \int V dt \quad (21)$$

Ecuación 21. Calculo del ángulo del perfil de tensión en función de la relación de transformación.

$$\phi_p = \frac{1}{N} \int V dt \quad \therefore t = \frac{\theta}{\omega} \quad \theta = \omega \cdot t$$

$$d\theta = \omega dt \therefore dt = \frac{d\theta}{\omega}$$

$$\phi_p = \frac{1}{N} \int V(\theta) \frac{d\theta}{\omega}$$

**Resolviendo la integral:**

$$\phi_p = \frac{1}{\omega N} \left[ \int_{\alpha_1}^{\alpha_2} \frac{V_{dc}}{4} d\theta + \int_{\alpha_2}^{\pi-\alpha_2} \frac{V_{dc}}{2} d\theta + \int_{\alpha_2}^{\pi-\alpha_1} \frac{V_{dc}}{4} d\theta \right]$$

$$\phi_p = \frac{1}{\omega N} \left[ \frac{1}{4}(\alpha_2 - \alpha_1) + \frac{1}{2}(\pi - \alpha_2 - \alpha_2) + \frac{1}{4}((\pi - \alpha_1) - (\pi - \alpha_2)) \right]$$

$$\phi_p = \frac{1}{\omega N} \left[ \frac{\pi}{2} - \frac{1}{2}\alpha_1 - \frac{1}{2}\alpha_2 \right]$$

$$\phi_p = \frac{1}{\omega N} [\pi - (\alpha_1 + \alpha_2)]$$

$$\phi_p = \frac{1}{2\omega N} [\pi - (\alpha_1 + \alpha_2)]$$

$$\frac{N}{V_{dc}} = \frac{[\pi - (\alpha_1 + \alpha_2)]}{2\omega\phi_p}$$

$\therefore \phi_p = \beta \max \cdot \text{Area transversal}$

$$\frac{N}{V_{dc}} = \frac{[\pi - (\alpha_1 + \alpha_2)]}{4\pi f(\beta \max \cdot \text{Area transversal})}$$

**Si  $\beta \max$  en Gauss el area transversal en  $\text{cm}^2$**

$$\frac{N}{V_{dc}} = \frac{[\pi - (\alpha_1 + \alpha_2)] \times 10^8}{4\pi f(\beta_{\text{Gaus}} \cdot \text{Acm}^2)} \quad (22)$$

Ecuación 22. Ecuación para hallar la relación de transformación.

$$V_{rms} = \sqrt{\frac{1}{T} \int_0^T f(t)^2 dt} \quad (23)$$

Ecuación 23. Fórmula para hallar el valor Vrms

$$V_{rms} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} f(\theta)^2 dt}$$

**Por simetría:**

$$V_{rms} = \sqrt{\frac{2}{2\pi} \int_0^{\pi} f(\theta)^2 \frac{d\theta}{\omega}}$$

$$V_{rms} = \sqrt{\frac{1}{\pi} \int_0^{\pi} f(\theta)^2 d\theta}$$

$$V_{rms} = \sqrt{\frac{1}{\pi} \left[ \int_{\alpha 1}^{\alpha 2} \left(\frac{V_{dc}}{4}\right)^2 d\theta + \int_{\alpha 2}^{\pi - \alpha 2} \left(\frac{V_{dc}}{2}\right)^2 d\theta + \int_{\alpha 1}^{\pi - \alpha 1} \left(\frac{V_{dc}}{4}\right)^2 \frac{d\theta}{\omega} \right]}$$

$$V_{rms} = \sqrt{\frac{V_{dc}^2}{\pi} \left[ \frac{1}{16} (\alpha 2 - \alpha 1) + \frac{1}{4} (\pi - \alpha 2 - \alpha 2) + \frac{1}{16} (\pi - \alpha 1 - \pi + \alpha 1) \right]}$$

$$V_{rms} = \sqrt{\frac{V_{dc}^2}{16\omega\pi} [4\pi - 2\alpha 1 - 6\alpha 2]}$$

$$V_{rms} = \frac{V_{dc}}{4} \sqrt{\frac{1}{\pi} [4\pi - 2(\alpha 1 + 3\alpha 2)]}$$

$$\mathbf{V_{rms} = \frac{V_{dc}}{4\pi}} \quad (24)$$

Ecuación 24. Voltaje rms para el perfil de tensión de la señal AC del inversor.

**Número de vueltas:**

$$A = K \sqrt{s} \quad (25)$$

Ecuación 25. Área del nucleó.

**Tomamos la calidad de la chapa K=1**

$$A = \sqrt{800VA} = 28,28 \text{ cm}^2$$

**Ángulos:**  $\alpha_1 = 20^\circ$ ;  $\alpha = 50^\circ$

**Primario:**

$$\frac{N}{V_{dc}} = \frac{[\pi - (\alpha_1 + \alpha_2)] \times 10^8}{4\pi f (\beta_{Gaus} \cdot A_{cm^2})} \quad (26)$$

Ecuación 26. Relación de transformación.

$$\frac{N}{V_{dc}} = \frac{[\pi - \frac{\pi}{6} - \frac{\pi}{3}] \times 10^8}{4\pi \cdot 60(10000 \cdot 28,28)} = 0,7366$$

$$\mathbf{N_{24V_{dc}} = 0,7366 \times 24 = 18 \text{ Vueltas}}$$

$$\mathbf{N_{48V_{dc}} = 0,7366 \times 48 = 35 \text{ Vueltas}}$$

**Secundario:**

$$\mathbf{N_{360V_{dc}} = 0,7366 \times 360 = 265 \text{ Vueltas}}$$

Tabla 7. Numero de vueltas para las tensiones de diseño en el transformador.

<b>DEVANADO</b>	<b>TENSIÓN RMS (V)</b>	<b>VUELAS</b>
<b>PRIMARIO</b>	<b>7,88V</b>	<b>18</b>
	<b>15,32V</b>	<b>35</b>
<b>SECUNDARIO</b>	<b>116,18</b>	<b>265</b>

---

---

## CAPÍTULO 3.

### ETAPAS DEL INVERSOR Y RESULTADO DE PRUEBAS REALIZADAS AL DISEÑO.

---

---

#### 3.1 Aislamiento

Las entradas de control del circuito son cuatro, se pueden observar en el esquema de la figura 23, donde se conectan al pin 2 ánodo y pin 3 cátodo de cada Photocoupler 6N137 más conocido como Opto acoplador, estos son encargados de aislar el control de la potencia evitando la conexión eléctrica y protegiendo en control de fenómenos que puedan dañar o alterar su funcionamiento.

El opto acoplador seleccionado es 6N137, acopla ópticamente dos puertas que combinan un diodo emisor de luz de GaAsP y un foto detector integrado de alta ganancia [22]. Una entrada de habilitación permite que el detector sea estroboscopio. La salida del detector IC es un colector abierto de un transistor Schottky-clamped. Cuyos tiempos de respuesta típicos en subida son de 48ns y en caída de 50ns, Este diseño el proporciona el aislamiento máximo en AC DC mientras se logra la compatibilidad TTL. El opto acoplador está garantizado desde  $-40^{\circ}\text{C}$  a  $+85^{\circ}\text{C}$  lo que permite el rendimiento del sistema sin problemas. Las condiciones de operación recomendadas para conseguir estas características son [22]:

- Máxima corriente de entrada de 7,5mA.
- El voltaje de alimentación debe estar en el rango de  $4,5\text{V} < V_{\text{dc}} < 5,5\text{V}$

El circuito que recomienda en la hoja de características es el de la figura 29:

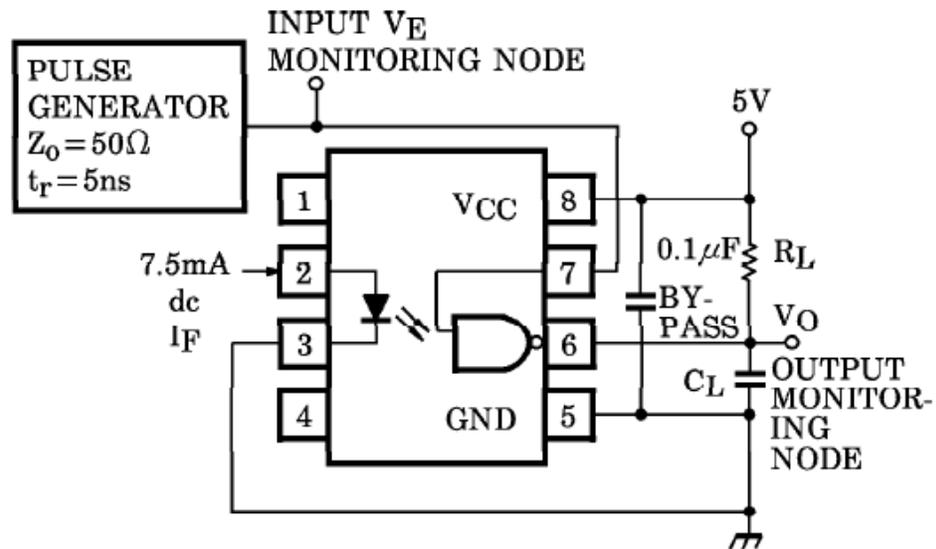


Figura 29. Circuito recomendado por la hoja de características que está en los anexos.

Tabla 8. Valores usados en la práctica fueron.

Elemento	Valor
C Bypass	0.1µF
CL	15pF
RL	680Ω
RM	220Ω

### 3.2 Pruebas de laboratorio al optoacoplador

El montaje del optoacoplador se realizó en protoboard mediante el osciloscopio industrial 125 marca FLUKE, se visualizó la señal de entrada y salida, se observaron los tiempos de respuesta y la calidad de la señal en función de la variación de frecuencias a 493kHz se observa las señales de entrada y salida en la figura 30:



Figura 30. Señal de entrada y salida de optoacoplador 6N137.

Se puede observar que por su construcción interna, el optoacoplador tiene una compuerta NAND que niega la señal de entrada, esto lo podemos evidenciar en la figura 25. Con esta prueba se corroboran el tiempo de subida y bajada, ya que son actos para el circuito de aislamiento de la señal, con una buena respuesta a altas frecuencias por encima de su frecuencia de funcionamiento.

### 3.3 Etapa de negación

En la topología mostrada en el capítulo 2 figura 15, se observa el esquema eléctrico que se usara para la construcción del prototipo, se pueden ver claramente los ocho Mosfet, donde solo cuatro de ellos ingresa la señal que proviene del control sin ninguna variación (cuatro primeros de la parte superior), los otros cuatro funcionan con la señales de estos mismos pero negadas para eso se usa una compuerta NOT cuya referencia es LS7004, esta compuerta tiene un tiempo de respuesta de 10n segundos, siendo de esta manera que se producen las otras cuatro señales de control en la figura 31 se muestra mediante el osciloscopio industrial 125 FLUKE las dos señales para S1 Y S1'. Esta etapa hecha por hardware reduce la complejidad del control a solo cuatro modulaciones lo que es un beneficio para la implementación.

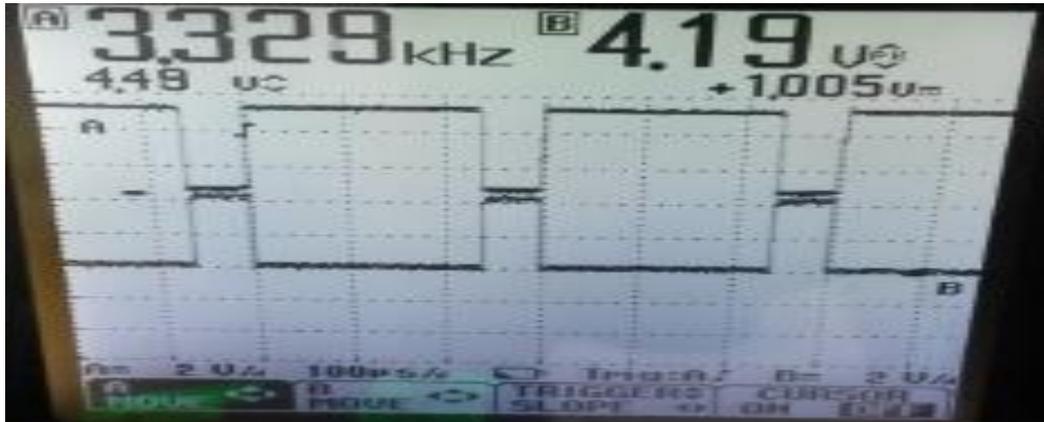


Figura 31. Señal de interruptor S1 y S1'.

### 3.4 Tiempo muerto

El tiempo muerto garantiza que no hallan solapamientos de señales o una señal que superponga a la otra, esto garantiza que mientras un Mosfet se está activando el otro se está apagando, el que funciona con la misma señal pero negada debe estar en operación contraria al principal. Este tiempo muerto radica en el tiempo de respuesta en que la compuerta NOT responde, ya que la otra señal llega al driver que amplifica la señal y activa el Mosfet. En la figura 32 se muestra este análisis que evidencia el comportamiento de las señales de control y por ende su funcionamiento.

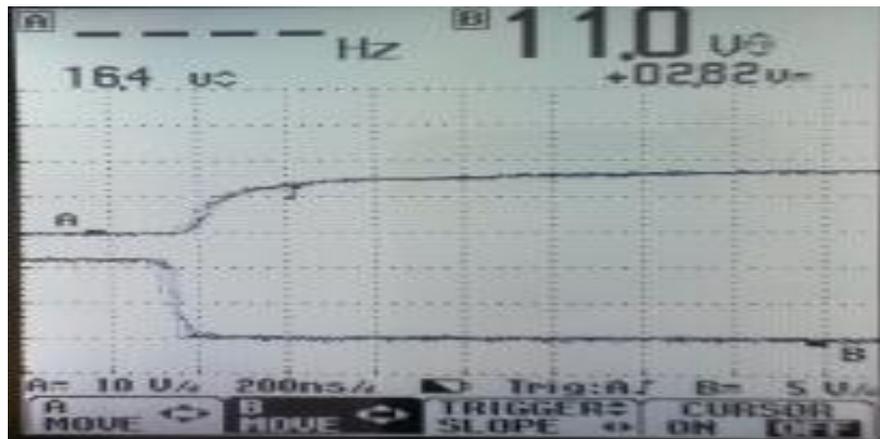


Figura 32. Tiempo muerto de la señal S1 y S1'.

### 3.5 Etapa de activación mediante drivers

En esta etapa se especificará que para los seis Mosfet primeros necesitan un drivers por interruptor ya que la activación para estos debe ser mediante una tierra flotante, para los dos Mosfet faltantes se usara un driver ya que interruptor S4' debe ir el surtidor conectado a tierra.

La amplificación de la tensión de voltaje para la activación y apagado se hace mediante 7 drivers IR2110 que tiene una alta respuesta y un buen comportamiento a altas frecuencia lo cual garantiza un buen comportamiento de la señal de control, estos drivers son de dos canales independientes de salida de referencia alta y baja, también tiene compatibilidad con CMOS y TTL. El canal de alta es un canal de tierra flotante con los que se activaran los Mosfet (S1, S2, S3, S4, S1', S2'), con una respuesta de 120ns en la subida y 94ns en la bajada.

En la siguiente figura 33, se mostrara el esquema usado para los seis primeros Mosfet mencionados anteriormente.

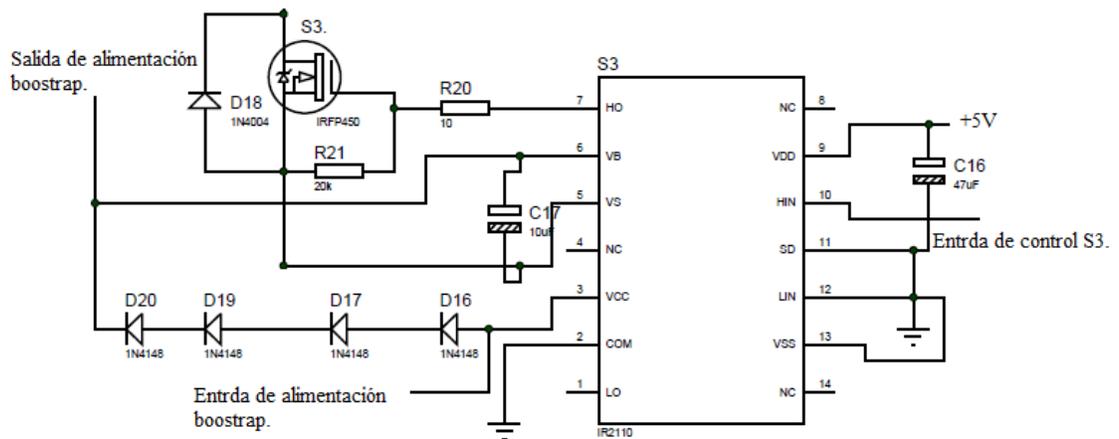


Figura 33. Esquema usado para la activación de los Mosfet S1 aS2'.

Para los dos últimos Mosfet de la parte inferior del esquema eléctrico se usada el esquema típico que sugiere la hoja de características de este que a continuación podemos observar en la figura 34:



En la tabla 8, se muestran los elementos y los valores usados en esta etapa para el driver IR2110:

Tabla 9. Componentes y valor electrónicos usados para el driver IR2110.

Componente	Valor
C1	10 $\mu$ F
C2	10 $\mu$ F
CB	47 $\mu$ F
Diodo rápido switcheo	1N4148
Resistencia de compuerta	10 $\Omega$
Resistencia de puerta surtidor	20k $\Omega$

A continuación se muestra el circuito montado en protoboard, en la figura 35:

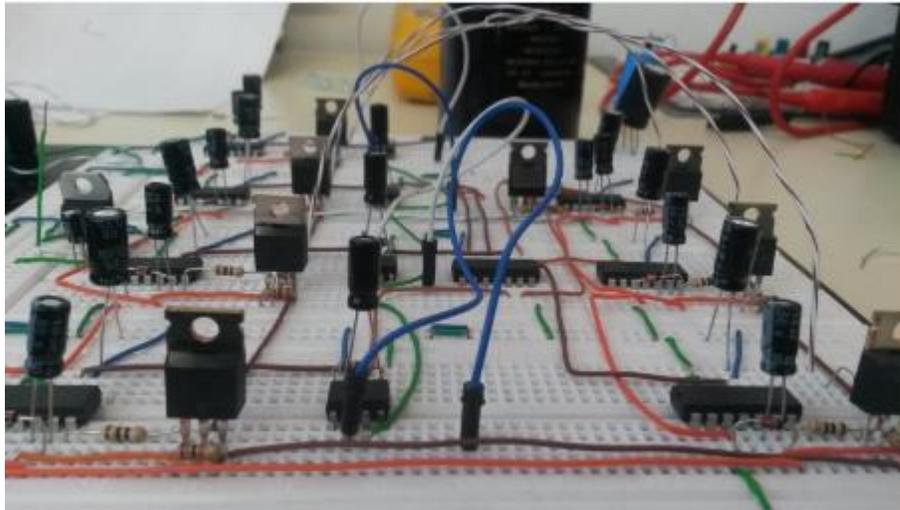


Figura 35. Circuito de accionamiento en pruebas de laboratorio.

### 3.6 Etapa de alimentación de para la etapa de control

Estas fuentes son usadas para alimentar los cuatro optoacopladores y los siete drivers, donde los siete necesitan la tensión de 5V, y solo uno el de la parte inferior necesita 18V, en la figura 36, se muestra el diseño del circuito de alimentación de CD para la etapa de acoplamiento.

Los dispositivos que se seleccionaron son los reguladores monolíticos KIALM7818, LM7815 y LM7805 estos dos últimos se usaran en cascada para que evitar el calentamiento en el LM7805 por estar en el límite de rango permitido de tensión de entrada, el voltaje mínimo de entrada del regulador LM7805 es de 17,5V, brindado la garantía de regulación evitando calentamientos excesivos.

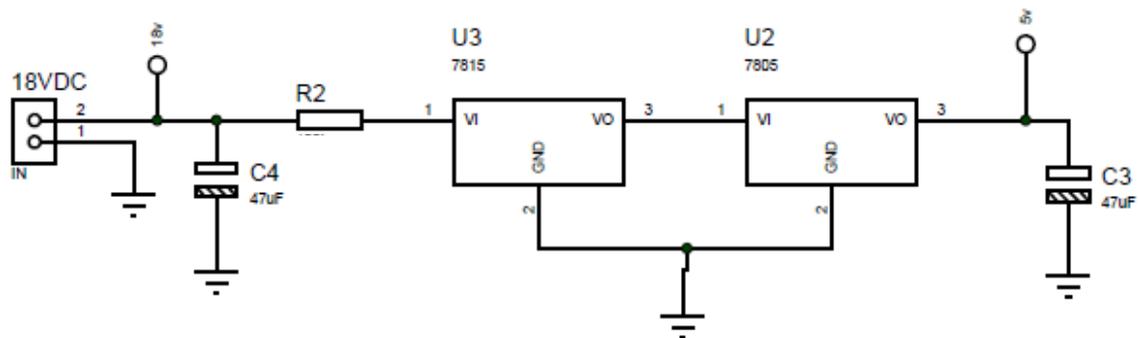


Figura 36. Circuito de alimentación en cascada para la alimentación de la etapa.

El cálculo de la resistencia R2, se hace teniendo en cuenta la corriente que pueden suministrar los reguladores de 30mA y sus tensiones de alimentación esto con el fin de garantizar una corriente de entrada mínima que no valla a dañar los reguladores, por que tengan que disipar potencia excesiva.

$$R2 = \frac{24V-18V}{30mA} = 200\Omega \quad (20)$$

Ecuación 21. Calculo de la resistencia de entrada de la alimentación de control.

### 3.7 Prueba de funcionamiento en protoboard

En esta prueba de funcionamiento se corrobora el diseño planteado en el capítulo 2, y los dispositivos seleccionados en las etapas del inversor mencionados en este capítulo, la figura 37, muestra la prueba del laboratorio con la salida del inversor con una modulación Step, que es la frecuencia de conmutación a la cual funcionan los dispositivos electrónicos.

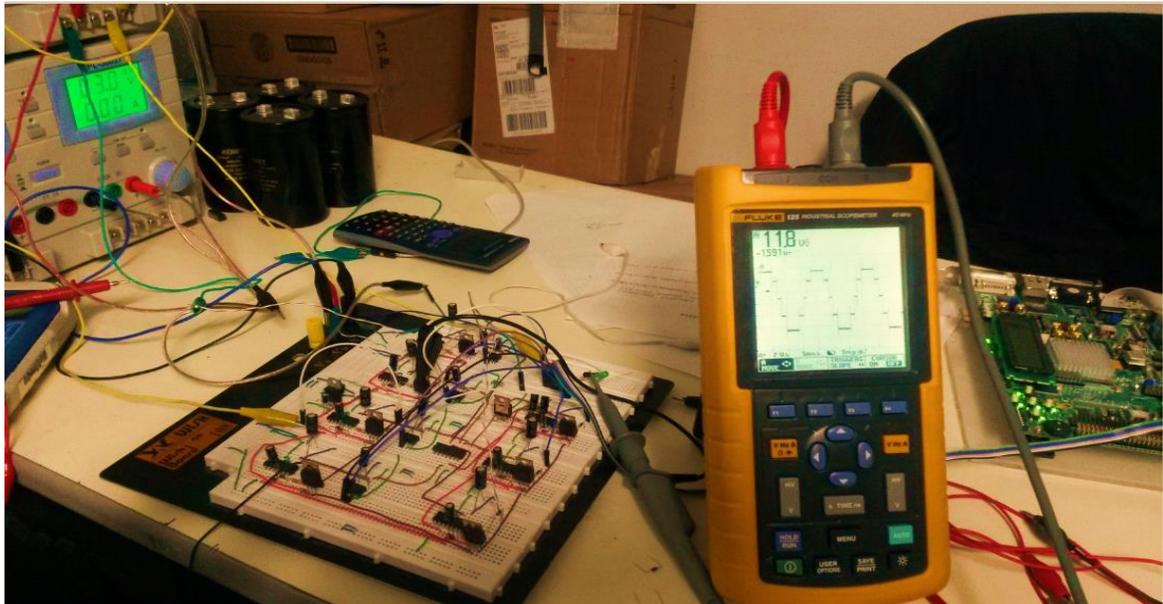


Figura 37. Prueba de funcionamiento con una modulación Step.

Como podemos observar en la figura 37, se puede ver la señal de tensión de salida que corresponde con la simulada en el capítulo 2 y el inversor de cinco niveles.

Las señales de control para esta prueba se hicieron por medio de la tarjeta de adquisición de datos FPGA, que gracias al grupo de investigación de sistemas energéticos se facilitó para que con éxito se pudieran corroborar lo plateado en este trabajo de investigación. En la figura 38, se muestra la señal de salida del inversor simulada en Matlab y la señal implementada en la prueba.

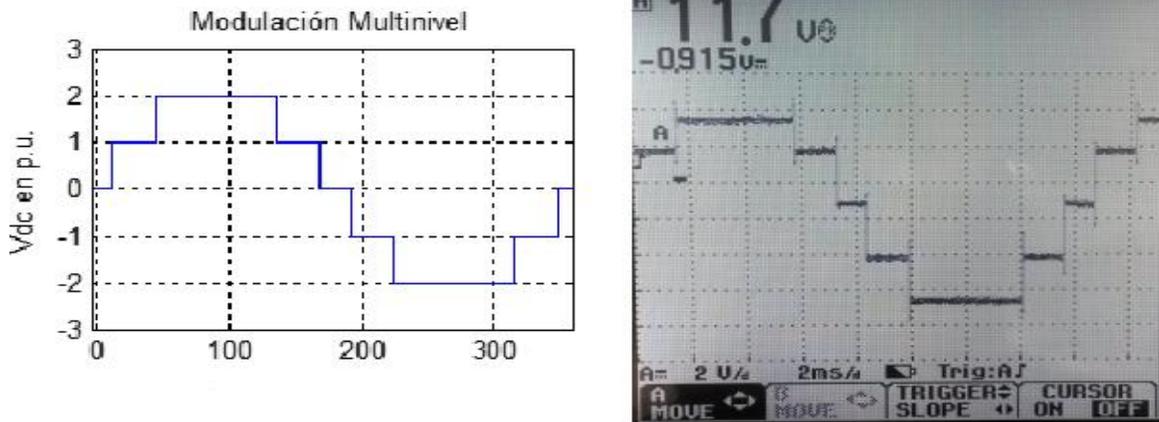


Figura 38. Modulación en Matlab y Modulación en pruebas de laboratorio.

---

## CAPÍTULO 4.

# RESULTADOS DE MPLEMENTACIÓN Y VALIDACIÓN.

---

### 4.1 Implementación

#### 4.1.1 Tarjeta de control y potencia

En la siguiente figura 39. Se muestra la tarjeta que se implementó, donde encontraremos la etapa de control y potencia. Debido a su topología “fijación de diodos”, se hace necesario establecer lo más cercano posible el circuito de disparo puerta, surtidor de los Mosfet IRFP-450, para garantizar la activación de estos y que no queden flotando ocasionando un estado indeseado, evitando perturbaciones en la señal de control.

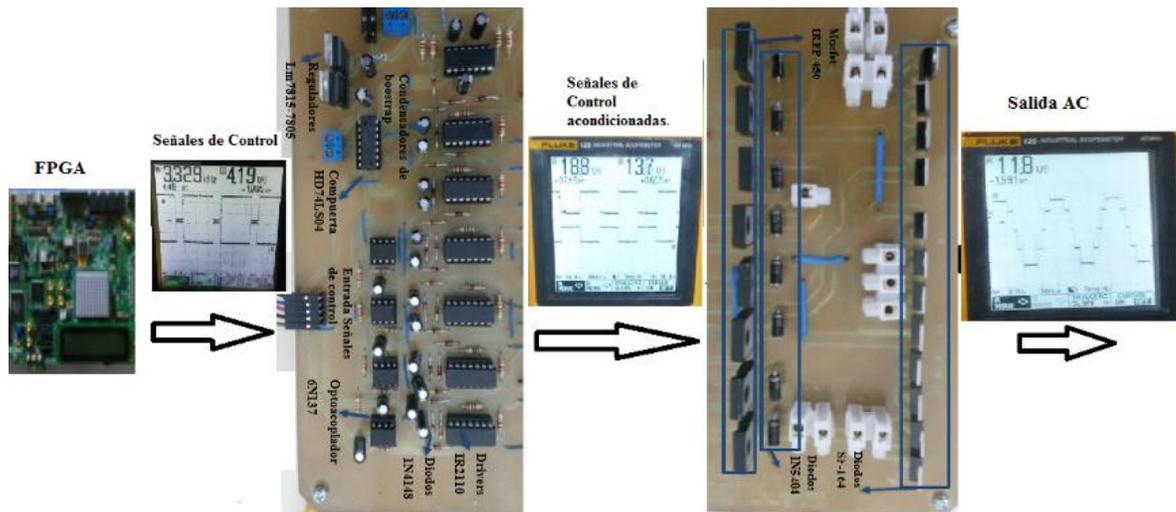


Figura 39. Tarjeta que tiene la etapa de control y potencia implementada.

### 4.1.2 Circuito impreso de la tarjeta de control y potencia

En la figura 40, podemos ver el circuito impreso. EAGLE, (siglas de Easily Applicable Graphical Layout Editor) es un programa de diseño de diagramas y PCBs con auto enrutador. Famoso alrededor del mundo de los proyectos electrónicos y el proceso de mecanizado de la tarjeta implementada.

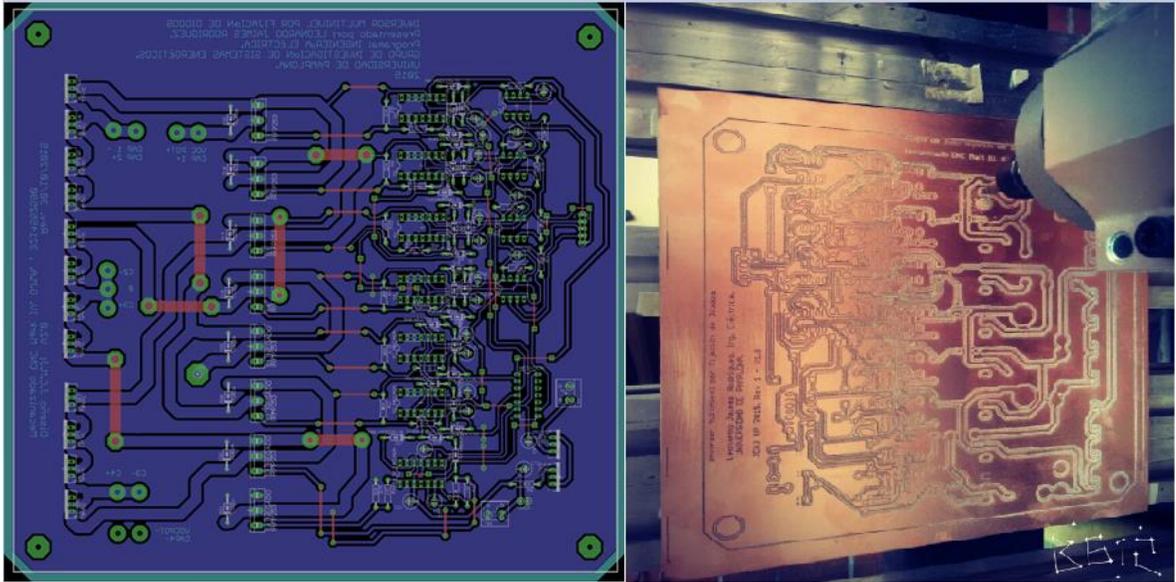


Figura 40. Circuito impreso etapa de control y potencia implementado.

### 4.1.3 Descripción de la etapa de potencia.

En esta etapa se pueden observar los diodos de fijación SF-164 diodo de ultra rápida recuperación el cual es capaz de bloquear una tensión 200V, soportar una corriente de 16A, y con una velocidad de recuperación de menor a 35ns. El Mosfet usado IRFP-450 con una tensión  $V_{DSS} = 500V$ , con una corriente de drenador de 14A, y una velocidad de conmutación de 47ns, y el diodo de rectificación que cumple la función de evitar que corrientes en que valla de surtidor a puerta dañen el Mosfet el diodo usado que cumple esta función de protección es el 1N5404 soporta un tensión de 400v y una corriente pico de

200A. En la figura 41, podemos observar los componentes descritos anteriormente.

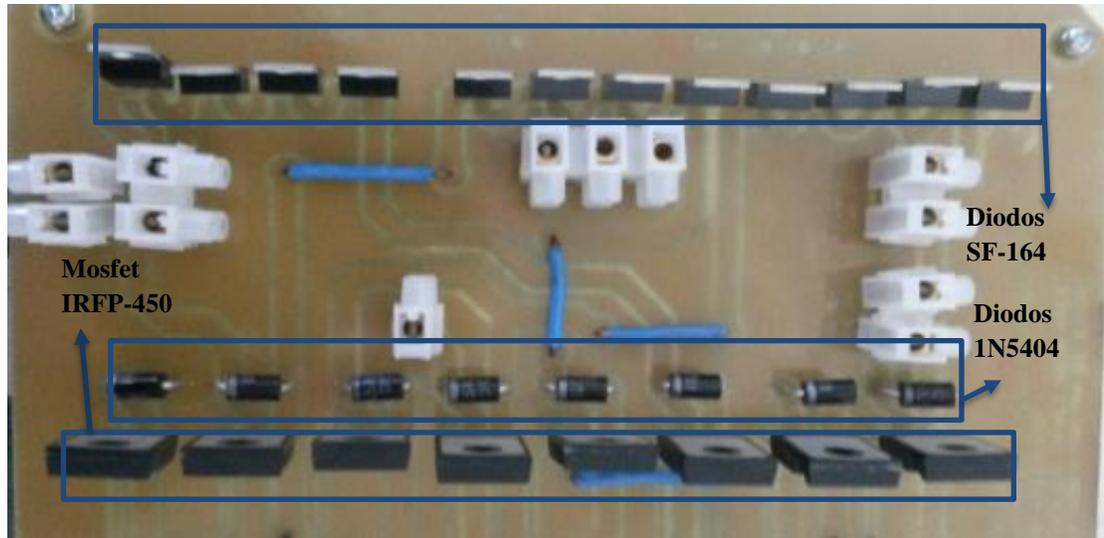


Figura 41. Descripción de la etapa de potencia implementada.

#### 4.1.4. Descripción de la etapa de control

En esta etapa podemos identificar la fase de aislamiento proporcionada por los optoacopladores 6N137, los cuales separan la señal entrada de control, luego se observa la compuerta HD74LS04 que niega las señales de control para los Mosfet de la parte baja de la rama de potencia y por último se observan el acondicionamiento de la señal a una amplitud de tensión que garantice la activación de los Mosfet, esto se hace mediante el drivers IR2110 y el condensador de Bootstrap todo esto anteriormente hablado se ve en la figura 42.

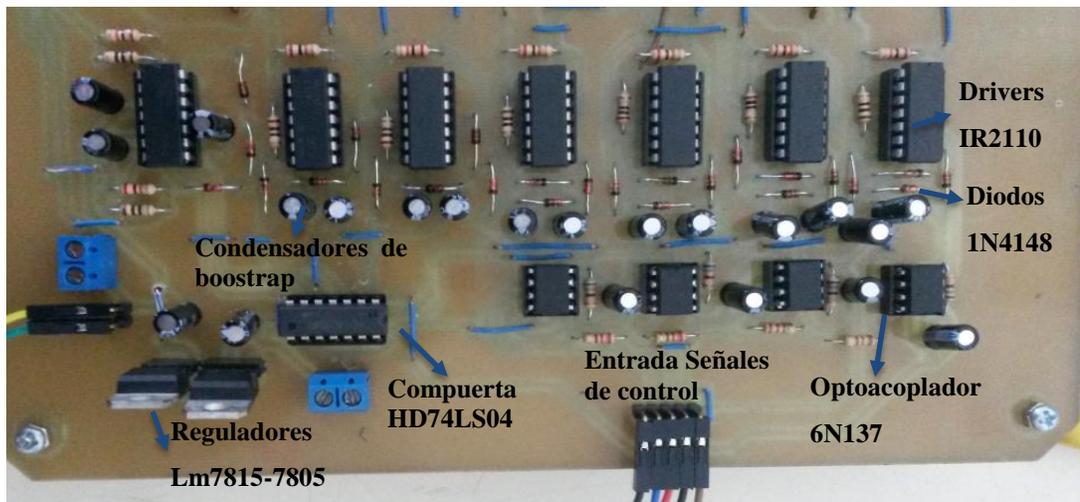


Figura 42. Descripción de la etapa de control implementada.

#### 4.1.5 Señales de accionamiento de los Mosfet

En la figura 43, podemos observar las señales de accionamiento de los Mosfet S4 y S4', se puede ver claramente que la señal del Mosfet S4', tiene mayor amplitud debido hay menos diodos de switcheo rápido 1N4148 en serie “solo tres”, cada diodo tiene un caída de tensión de 0,6V, el Mosfet entre más arriba este menor será su amplitud en la señal de activación debido a que la cantidad de diodos va aumentando proporcionalmente a la tensión que deben bloquear.



Figura 43. Señales de control implementadas para S4 y S4'.

Se puede observar la diferencia en las amplitudes donde en la parte superior del osciloscopio se observa la señal de la figura S4' y en la parte inferior de la pantalla del osciloscopio S4, siendo una respecto de la otra negada. En la figura 44, se observa la señal de accionamiento de los Mosfet S3 y S3' cumpliendo con las mismas características descritas anteriormente.



Figura 44. Señales de Control implementadas para S3 y S3'.

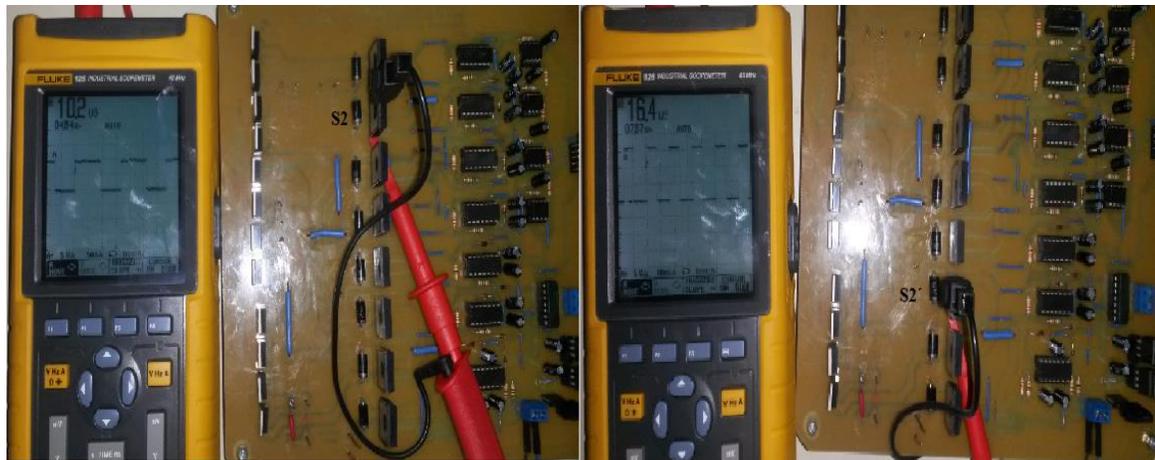


Figura 45. Señales de control implementadas para S2 y S2'.



Figura 46. Señales de control implementadas para S1 y S1'.

#### 4.2 Validación de la modulación Step

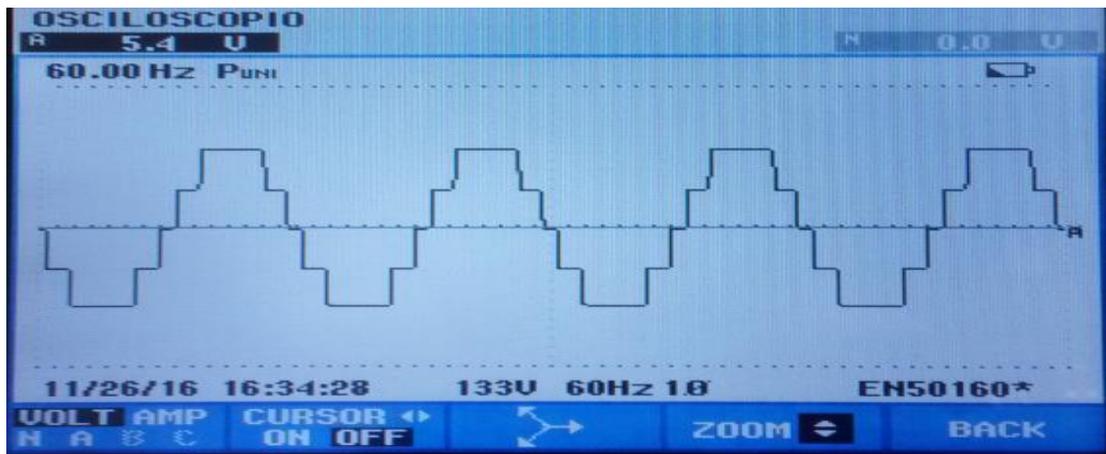


Figura 48. Señal de salida del inversor.

En esta imagen se puede observar que la frecuencia de salida es correcta esto es gracias a que los tiempos de respuesta de los dispositivos usados en la etapa de control y aislamiento, son buenos y que el tiempo muerto es aceptable haciendo que el retardo sea casi nulo eso se ve claramente comprobado con la frecuencia de salida del inversor que es de 60 HZ. Esta medición de una modulación Step medida con el analizador de red 434 marca Fluke, a continuación se muestra la medición del THD con el analizador de red 434, que dio 15.9% de THD, la medición se muestra en la figura 49:

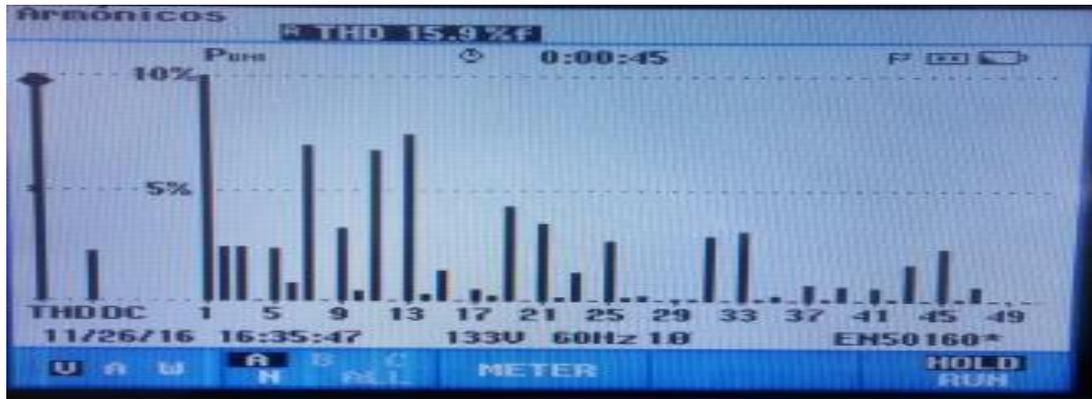


Figura 49. Validación de THD de la modulación Step.

#### 4.1.6 Modulo de Implementación

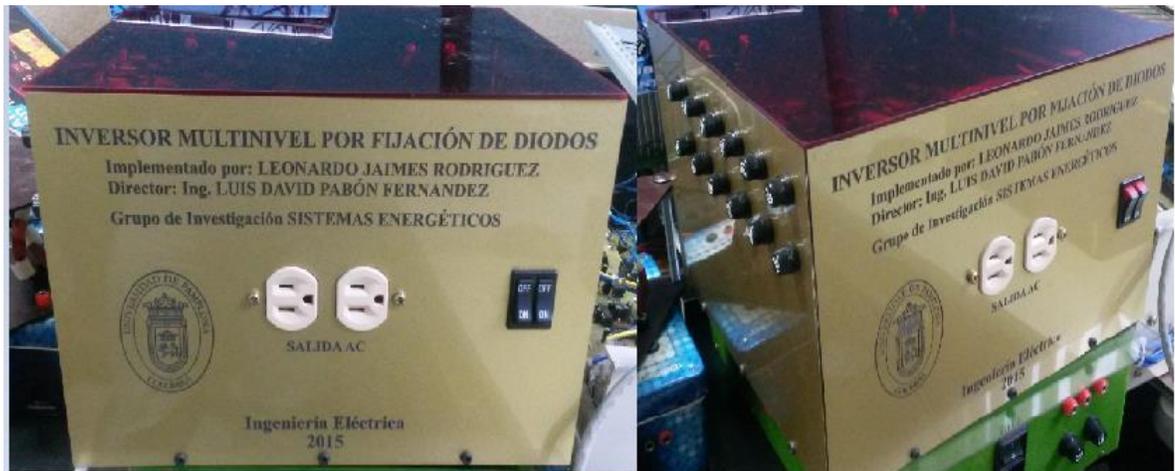


Figura 47. Módulo de la implementación.

### 4.3 Validación de la modulación PWM optimizada

Señal de salida AC del inversor con la modulación PWM optimizada, aquí se puede observar la diferencia que existe en una Step y una señal de salida Optimizada. En la figura 50 a continuación:

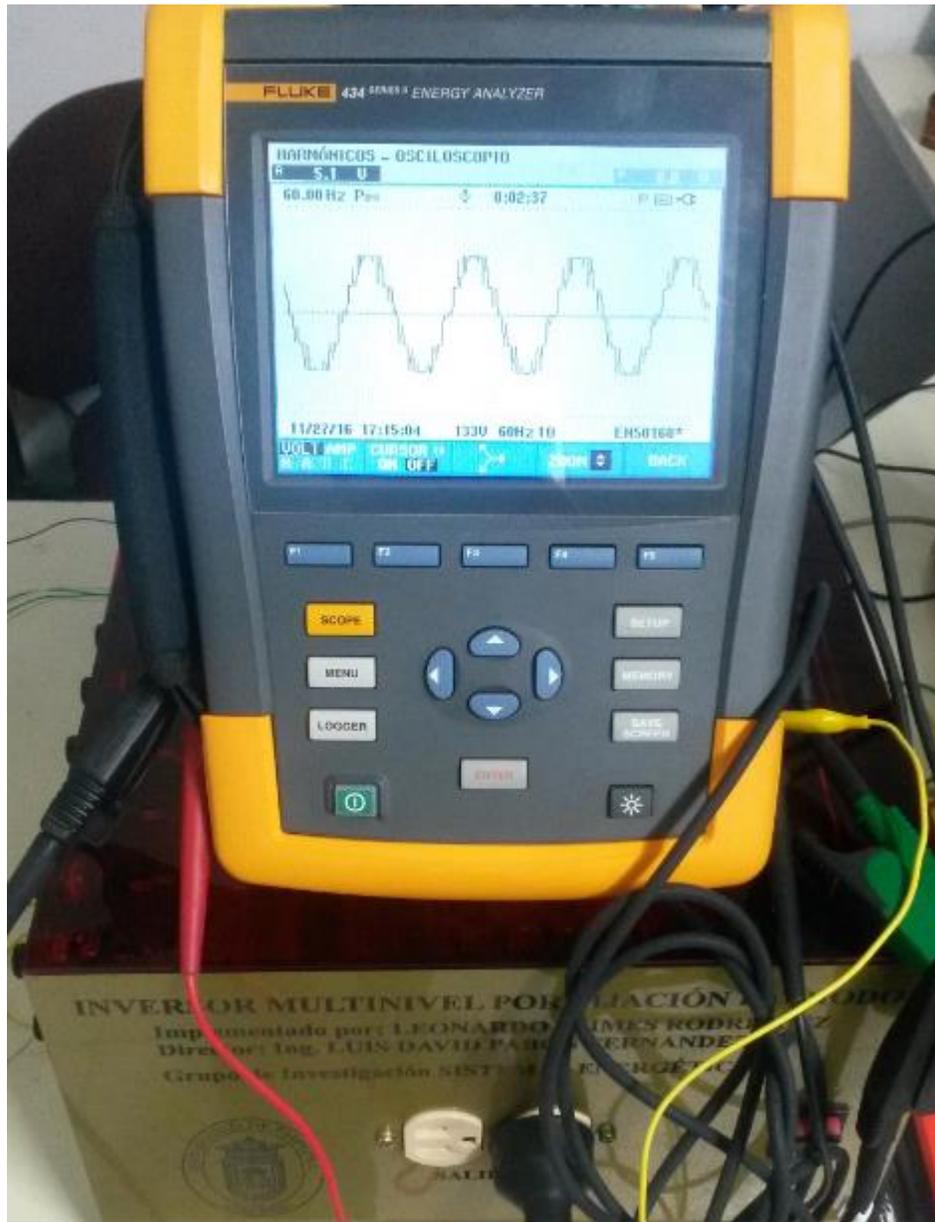


Figura 50. Señal AC de salida del inversor Optimizada.

Mediante el analizador de Red 434, se logra ver espectro armónico de la señal optimizada, dando un 2,6% de THD lo cual es bastante bueno ya que disminuye significativamente, mejorando la calidad de la energía entregada cumpliendo con uno de los objetivos principales de la investigación.



Figura 51. Validación de THD de la modulación Optimizada.

---

## CAPÍTULO 5

### ANÁLISIS COMPARATIVO

---

En este capítulo se evidencia el resultado de este proyecto con relación a los inversores hechos en el grupo de investigación del programa ingeniería eléctrica de la universidad de Pamplona.

#### 5.1. Comparación analítica y técnica 1

Para este caso es necesario aclarar que el THD está relacionado con el número de niveles, entre más niveles tenga el inversor más bajo será la distorsión armónica, para la primera comparación se hace con un inversor de 9 niveles serie en cascada topología puente H, tesis de grado de ingeniero eléctrico Luis David Pabón Fernández.

En la figura 52, se puede observar la señal de salida AC en el Inversor de nueve niveles serie en cascada topología puentes H.

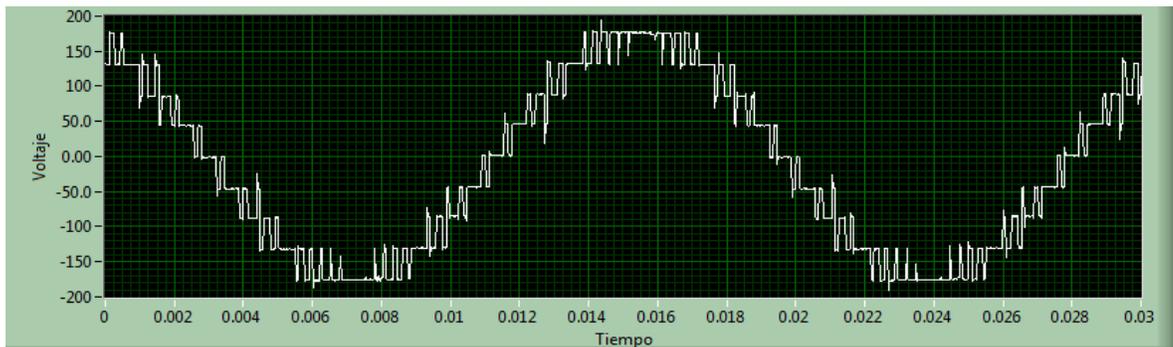


Figura 52. Forma de onda de tensión a la salida del convertidor, en Labview [23].

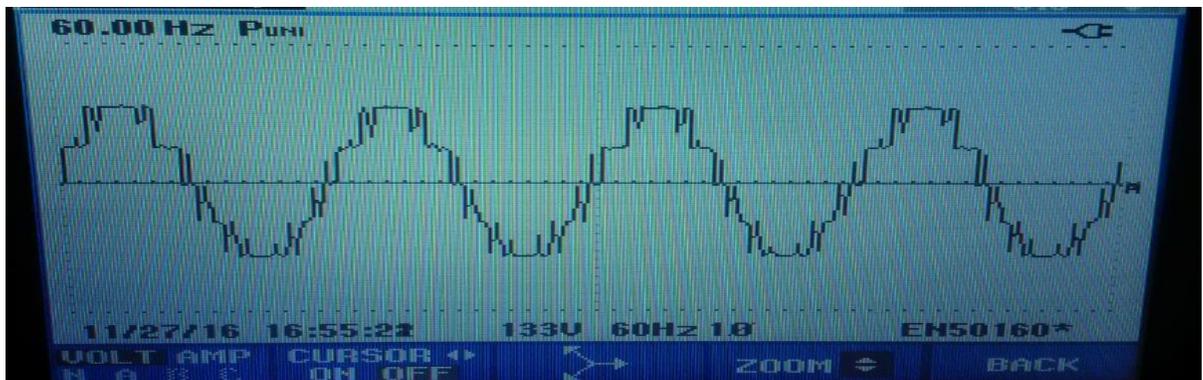


Figura 53. Señal de salida AC del inversor por fijación de diodos.

Los resultados experimentales validan la optimización realizada en la franja de los 50 armónicos, presentándose un **THD=0,96%** para la forma de onda de tensión. De igual forma se puede evidenciar que el comportamiento del convertidor es satisfactorio, pues a pesar que no se alcanza el nivel calculado, el THD está por debajo del 1%, cumpliendo con amplio margen las normas propuestas por el estándar IEEE-519 1992 que establecen un límite de 5% ó 3% [23].

Se puede concluir que el inversor comparado tiene un menor THD de 0.96%, con respecto al del proyecto de 2.6%. Pero en cuanto a simplicidad en la implementación el trabajo de grado este inversor por fijación de diodos es más simple en cuanto a la implementación entregando buenos resultados además es más compacto y menos pesado.

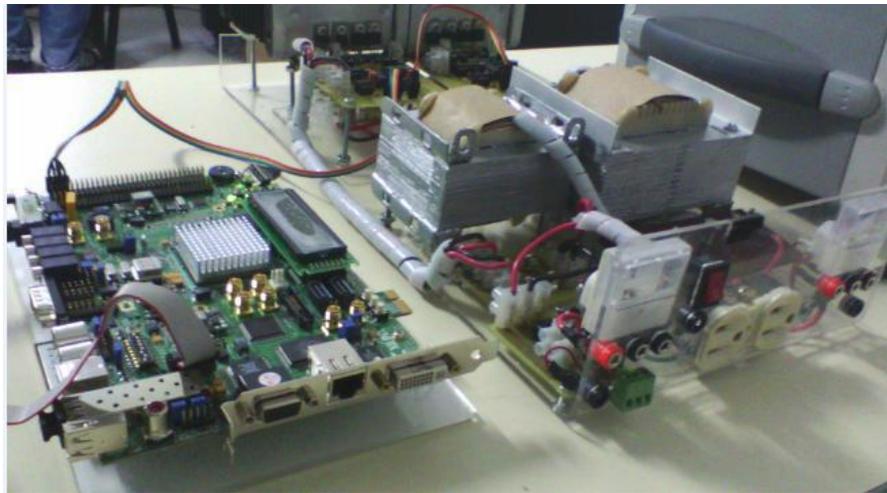


Figura 54. Prototipo experimental con FPGA [23].



Figura 5. Prototipo experimental con FPGA.

## 5.2. Comparación analítica y técnica 2

La segunda comparación se hace con un inversor trifásico multinivel de 5 escalones por fase con eliminación selectiva de armónicos, del ingeniero eléctrico Maro Alfredo Jaimes Carvajal. Esta comparación es la más cercana al inversor que se está planteando en este trabajo de grado ya que tiene la misma cantidad de niveles.

La comparación en tamaño no es comprable ya que este inversor es trifásico por lo tanto es más grande pero que por fase, sigue siendo el inversor por fijación de diodos más pequeño y liviano lo que lo hace practico.

En la figura 56, se observa la señal de salida AC, del inversor del ingeniero electricista Marco Alfredo Jaimes Carvajal.



Figura 56. Voltaje de la Fase A del inversor con implementación de la eliminación selectiva de armónicos [24].

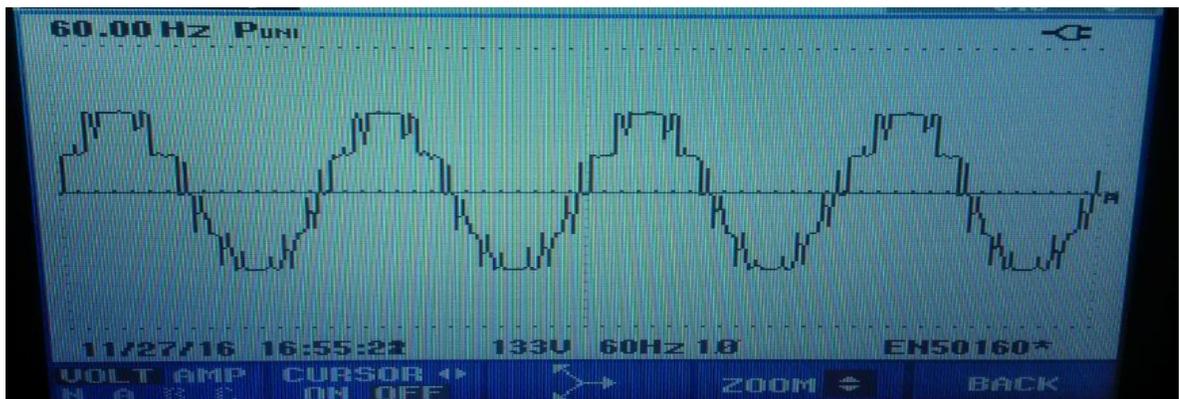


Figura 57. Señal de salida AC del inversor por fijación de diodos con optimización de armónicos.

En cuanto al THD el inversor por fijación de diodos tiene menor distorsión armónica que el mencionado, lo cual es un indicador de mayor calidad energética, evidenciando lo avances que se han tenido en el grupo de investigación de sistemas energéticos aportando mejores resultados, avanzando en la línea de investigación.

A continuación se muestra en la figura 57, el espectro armónico del inversor del ingeniero eléctrico Marco Alfredo Jaimes Carvajal [24].

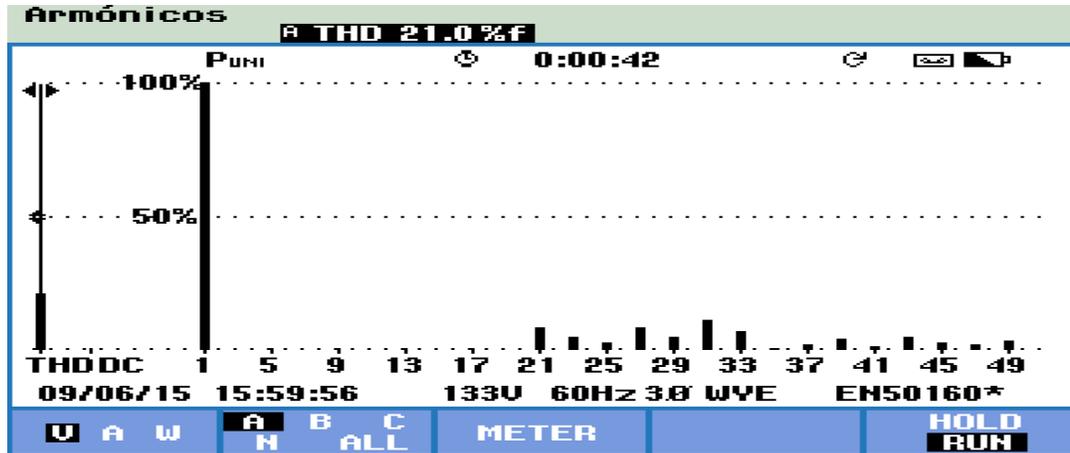


Figura 58. Espectro armónico presente en el inversor trifásico al aplicar la eliminación selectiva [24].

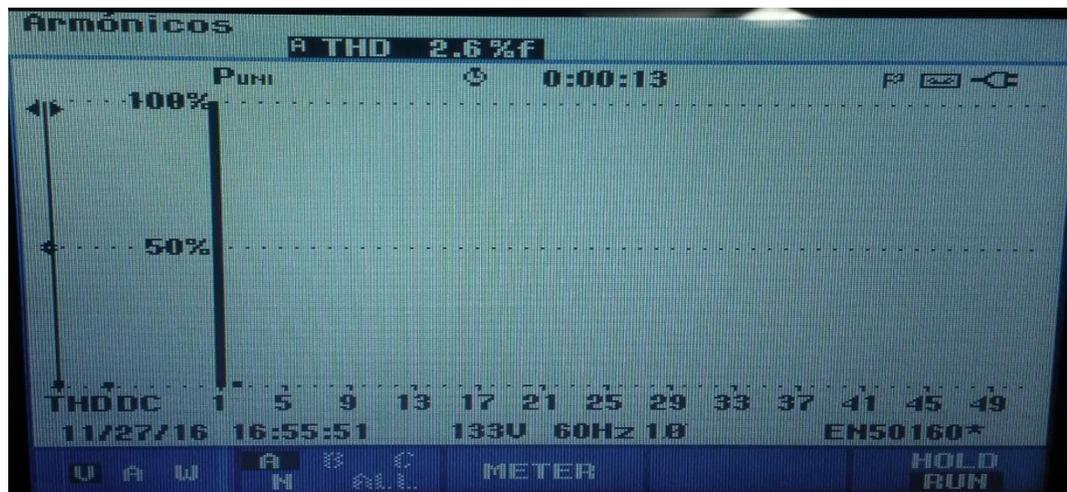


Figura 58. Espectro armónico presente en el inversor por fijación de diodos al aplicar la Optimización.

### **5.3. Aportes hechos del proyecto en el área de investigación del grupo sistemas energéticos**

- ✓ La innovación en el circuito de activación utilizando la técnica de bootstrap que no se había investigado profundamente, aportando un esquema eléctrico propio nuevo e innovador para este tipo de inversores, con menores costos, con respecto al esquema normalmente utilizado, con un valor de 59 mil pesos para el circuito de activación para cada Mosfets, usando solo drivers con un valor económico de 7 mil pesos, diodos de 100 pesos y condensadores de 200 pesos lo cual lo hace viable y factible en la implementación.
- ✓ La investigación con resultados y avances positivos de una topología importante en los inversores industriales con un THD bajo de 2,6%, con relación al único inversor implementado en el área de investigación de nuestro país Colombia, tienen un valor de 49.7% [7], lo cual arroja excelentes resultados y abre un nuevo camino de investigación en el grupo, con un resultado positivo con este trabajo como punto de partida para futuras investigaciones.
- ✓ La compensación de reactivos que se puede hacer con este inversor le da un plus importante para competir en la factibilidad de seguir investigando esta topología, su tamaño compacto y su versátil frente a diferentes topologías lo hace competitivo.

Tabla 10. Cuadro Comparativo.

<b>Características</b>	<b>Inversor en cascada de cinco niveles</b>	<b>Inversor en Cascada de nueve niveles</b>	<b>Inversor por Fijación de Diodos</b>
<b>Autor</b>	Luis David Pabón F	Marco A Jaimes C	Leonardo Jaimes Rodríguez
<b>Valor en Pesos</b>	\$350	\$700	\$240
<b>Compensación de reactivos</b>	No	No	Si
<b>Modulación</b>	PWM Optimizada	PWM Optimizada	PWM Optimizada
<b>Numero de Fases</b>	3	3	1
<b>Aplicación</b>	Fotovoltaica	Fotovoltaica	Fotovoltaica
<b>THD</b>	0.99%	21%	2.6%

---

---

## CAPÍTULO 6

### CONCLUSIONES

---

---

El principal reto de este trabajo por su topología es encontrar la forma de proporcionarle la tierra flotante a los Mosfets, para que este no conectara la tensión del bus de CD a tierra, ocasionando un corto, por ello fue necesario hacer un riguroso estudio frente a este aspecto, que dio como resultado usar la técnica de camino de bootstrap, este condensador fue capaz de proporcionar la tierra al surtidor de los Mosfets para que este se active y se desactive, por ende este aspecto es clave para la implementación de este inversor por fijación de diodos fue satisfactoria para las señales de control, dando como resultado señales de activación limpias y en tiempos esperados sin retardo significativo.

El inconveniente destacado fue la limitación técnica de adquirir un diodo de efecto túnel o rápido switcheo, que se encontrara en el mercado para esta aplicación, entonces se usó el diodo 1N4148, pero este tiene limitaciones para esta aplicación particular, porque la tensión en inversa que soporta no es la necesaria para hacer el bloqueo y evitar que el drivers usado se dañe por esto no se logró obtener hasta el momento una mayor tensión en la salida del inversor siendo esta la limitante más relevante, aunque la respuesta es buena a mediana que se aumenta la tensión en el bus de CD este deja de bloquear solapando las señales y ocasionando daños al drivers en el lado de alta HO.

Teniendo en cuenta que los Mosfets son de efecto de campo, estos tienen una inductancia propia parasita ello agrava el problema, ya que los diodos de bloqueo tipo túnel no eran los adecuados y en mercado no se encontraron unos con la misma respuesta de switcheo rápido, óptimo para esta aplicación por ello se concluye que si no se logra solucionar este aspecto, no se puede hacer la activación de los Mosfets con drivers a una mayor tensión en el bus de CD, sin usar transformadores de impulso que tampoco se encuentran en el mercado y estos aumentarían el costo de la implementación.

La señal AC obtenida en la salida del inversor es de calidad energética sin perturbaciones, significativas, siendo limpia y proporcional en los escalones de tensión, esto es gracias al acondicionamiento y generación de las señales de control óptimas para una implementación, la optimización mostro muy buenos resultados reduciendo el THD de 15.9% a 2.6% lo cual estando dentro de los rangos permitidos por los estándares de la norma IEEE 519, que especifica los límites de THD permitidos por rangos de tensión, que

para menores de 69KV debe ser 3%, esto ratifica el éxito de esta implementación dando excelentes resultados.

---

---

## BIBLIOGRAFÍA

---

---

- [1]. O. A. Alfaro Cruz, R. E. Murgas Zelaya, “Diseño y construcción de inversor monofásico de cuatro etapas”. Tesis de ingeniería, Dpto. Ing. Eléctrica, U. Del Salvador, Ciudad Universitaria, Mayo 2010.
- [2]. S. P. Gawande, M. R. Ramteke. PWM controlado actual para convertidores de voltaje de fuente de varios niveles con técnicas de regulación de frecuencia de conmutación variables y constantes: Un Poder Electrón reviewnJ (JPE) (Kipe -Corea del Sur), 14 (2) (2014), pág. 302-314.
- [3]. Photovoltaic Power Systems Programme (2006) “Implementing Agreement on Photovoltaic Power Systems”; IEA Report. [www.iea-pvps.org](http://www.iea-pvps.org).
- [4]. IEA, “Country Reports on PV Systems Performance”; Photovoltaic Power Systems Programme, Report IEA–PVPS T2-05; 2004. [Online] Available: [www.iea-pvps.org](http://www.iea-pvps.org)
- [5]. A. Menéndez (2004). “Aportación al control del convertidor CC/CA niveles” Tesis Doctoral en Ingeniería Industrial. Universidad politécnica de Cataluña.
- [6]. M. Rashid. (2007) “Power Electronics Handbook, Second Edition: Devices, Circuits and Applications”. Academic Press; 2da Ed.
- [7]. L. Trejos. (2010), “Diseño e implementación de un inversor trifásico multinivel con fijación por diodos” Tesis para optar al título de Magíster en Ingeniería Eléctrica Universidad Tecnológica De Pereira.

[8]. B. Suh, G. Sinha, M manjrekar. (1998) “Multilevel power conversion- An Overview Of topologies and Modulatuin Strategies” & International Conference On optimization of Electrical and electronic Equipments. Vol.2.

[9]. A. A. Llanos Tapia y C. D. Saavedra Marcillo, “Detección de Fallas y Corrección en Tiempo Real de un Inversor Trifásico Multinivel de Dos Etapas Controlado por Modulación Vectorial”, Tesis de Ingeniería, P. P. Ing. Electrónica, U. P. S. Cuenca, Ecuador, 2014.

[10]. O. L. Baca Valle, “Implementación de la técnica modulación de vectores espaciales aplicada a un inversor trifásico de tres niveles con diodo anclado al punto neutro”, Tesis de Ingeniería, P. P. Ing. Electrónica, I. T. D. Obregón Sonora, Junio 2009.

[11]. S. S. Alepuz Menéndez. (2015, 10 de marzo). Capítulo 2 Estado de la Técnica en Convertidores CC/AA Multinivel. [Online]. Disponible en: <http://www.tdx.cat/bitstream/handle/10803/6330/03Sam03de15.pdf?sequence=3>.

[12]. A. Nabae, I Takahashi, and H. Akagy, “Nuevas Técnicas de modulación vectorial para convertidores electrónicos de potencia multinivel” Tesis de Doctor por la universidad de Sevilla, Sevilla, junio 2003.

[13]. T. P. Reyes Vidal, “Implementación de Estrategia Modificada de Vectores Virtuales con Estabilización a Lazo Cerrado de la Tensión de Condensadores del Inversor NPC VSI de Tres Niveles”, Tesis de Ingeniería, Dpto. Ing. Eléctrica, U. C. Santiago de Chile, Chile, 2013.

[14]. J. C. Torres, “Convertidores de Potencia CC/CA Multinivel para Sistemas de Energía Eólica”, Tesis de Ingeniería, P. P. Ing. Electrónica, E. S. I. S. Sevilla, España, 2013.

[15]. Mohammad Barghi Latran , Ahmet Teke , Investigación de estrategias de conexión a red topologías de inversores y de control multifuncionales multinivel utilizados en los

sistemas fotovoltaicos , Reseñas Renovables y de Energía Sostenible , Volumen 42 , febrero 2015 , páginas 361-376 , ISSN 1364-0321.  
<http://www.sciencedirect.com/science/article/pii/S1364032114008478>.

[16]. G. González, G Jiménez. Y Javier Lagunas M. (2003) “Sistemas fotovoltaicos conectados a la red” Boletín IIE. Pág. 140-144. México D.F. México.

[17]. C. A. Peinado Fernández, “Modelado y Simulación de un Convertidor Multinivel Trifásico con Enclavamiento por Diodos con Modulación PWM Optimizada”, Tesis de Ingeniería, P. P. Ing. Eléctrica, Universidad de Pamplona, Pamplona, Colombia, 2014.

[18]. S. Khomfoi, L. M. Tolbert. “Power Electronic Handbook”. University of Tennessee. Chapter 17. 2 edition. Muhammad Rashid.

[19]. J. Gordillo Estrada. “Compensación por medio de la modulación de la onda de salida de un inversor multinivel en cascada ante desbalances en las fuentes de alimentación”. Tesis de maestría, Centro nacional de investigación y desarrollo tecnológico, México. 2011.

[20]. M. A. Sánchez Cortés. “Calidad de la energía eléctrica”. Instituto tecnológico de puebla. Departamento de ingeniería eléctrica y electrónica. 2009.

[21]. A. Brian, Welchko, Member, M. B. Beltrao de Rossieter Correa. “A Three-Level MOSFET Inverter for Low-Power Drives”. Artículo de la IEEE, Transactions on Industrial Electronics, Vol. 51, No. 3, June 2004.

[22]. E. A. Caicedo Peñaranda. “Diseño e Implementación de un Convertidor de Potencia Multinivel Modular de 5 a 81 Escalones”. Tesis de ingeniería. P. P. Ing. Eléctrica, Universidad de Pamplona, Pamplona, Colombia, 2014.

[23]. J. L. Díaz Rodríguez, L. D. Pabón Fernández. “Estudio de técnicas alternativas de optimización para disminuir la distorsión armónica total en la etapa de potencia de los sistemas fotovoltaicos”. Universidad de Pamplona, Colombia. Artículo IEEE.

[24]. M. A. Jaimes Carvajal. “Diseño e Implementación de un Inversor Trifásico Multinivel de 5 Escalones por Fase con Eliminación Selectiva de Armónicos”. Tesis de ingeniería. P. P. Ing. Eléctrica, Universidad de Pamplona, Pamplona, Colombia, 2014.